

D - 343

UNIVERZITET U NOVOM SADU  
PRIRODNO-MATEMATIČKI FAKULTET

*INSTITUT ZA FIZIKU*

Kaloci Djordje

8-bitni analogno-digitalni i 8-bitni digitalno-analogni  
konvertor

- *diplomski rad* -

Novi Sad, 1996.

Природно-математички факултет  
Радна заједница заједничких послова  
НОВИ САД

Примљено: - 5. јула 1996			
Орг. јединица	Број	Месец	Вредност
0603	9/201		

Ovim putem se zahvaljujem mentoru prof. dr Miroslavu Pavlovi i profesorima i asistentima iz Laboratorije za fizičku elektroniku na pomoći i podršci koju su mi pružili pri izradi diplomskog rada.

## SADRŽAJ

Uvod.....	1
1. Digitalna kola i njihova podela.....	3
2. Nesinusoidni naponi (impulsni i digitalni signali).....	5
3. Numerički sistemi i kodovi.....	8
3.1. Binarni, oktalni i heksadecimalni brojni sistem.....	9
4. Logička kola.....	10
4.1. Električne šeme elementarnih logičkih kola.....	13
4.1.1. Logičko "NE" kolo (invertor).....	13
4.1.2. Standardno TTL "I" kolo.....	16
4.1.3. Standardno TTL "L" kolo.....	17
4.1.4. Logičko "NI" kolo.....	18
5. Komparatorska kola.....	19
5.1. Diferencijalni komparator.....	19
5.2. Digitalni komparator 74LS85.....	20
6. Šmitova okidna kola.....	24
7. Baferi i trostatička kola.....	27
8. Bistabilna kola.....	31
8.1. SR leč kolo.....	31
8.2. SR leč kolo sa signalom dozvole.....	33
8.3. D leč kolo.....	34
8.4. Flipflopovi sa impulsnim okidanjem (MS flipflopovi).....	35
8.5. Flipflopovi sa ivičnim okidanjem.....	36
8.6. JK flipflop.....	37
9. Monostabilni multivibrator.....	40
9.1. Monostabilni multivibrator sa NI TTL logičkim kolima.....	40
9.2. Integrisani monostabilni multivibrator 74121.....	41
10. Astabilni multivibrator.....	45
11. Stacionarni registar.....	46
12. Pomerački registri.....	48

<b>13. Koderi.....</b>	<b>50</b>
13.1. Prioritetni koder.....	50
<b>14. Dekoderi/demultiplekseri.....</b>	<b>51</b>
14.1. Dekoder/demultiplekser 74LS154.....	52
<b>15. Digitalno-analogna konverzija.....</b>	<b>54</b>
15.1. D/A konvertori sa leštičastom mrežom.....	58
15.2. D/A konvertor ZN428.....	63
<b>16. Analogno-digitalna konverzija.....</b>	<b>65</b>
16.1. Osnovne karakteristike analogno-digitalne konverzije.....	66
16.2. Kolo za odmeravanje.....	68
16.3. A/D konvertori sa paralelnim komparatorima.....	70
16.4. A/D konvertori sa sukcesivnim aproksimacijama.....	71
16.5. A/D konvertor ZN427.....	75
<b>17. Pojačavači.....</b>	<b>77</b>
17.1. Direktno spregnuti izlazni stepen sa komplementarnim tranzistorima.....	77
17.2. Diferencijalni pojačavač.....	79
17.3. Diferencijalni pojačavač sa nesimetričnim izlazom.....	80
17.4. Povratna sprega.....	81
17.5. Operacioni pojačavač.....	83
17.5.1. Idealni operacioni pojačavač.....	84
17.5.2. Realni operacioni pojačavač.....	85
17.6. Instrumentacioni pojačavač.....	87
<b>18. Portovi.....</b>	<b>89</b>
<b>19. Sistemska magistrala PC AT računara.....</b>	<b>90</b>
<b>20. Merna (prototipska) kartica.....</b>	<b>93</b>
20.1. Adresiranje merne kartice.....	96
20.2. A/D konverzija.....	98
20.3. D/A konverzija.....	100
20.4. I/O port.....	101
20.5. Pojačavački stepeni.....	102
<b>Zaključak.....</b>	<b>105</b>
<b>Literatura.....</b>	<b>106</b>
<b>Spisak oznaka.....</b>	<b>107</b>

## UVOD

Digitalno-analogni i analogno-digitalni konvertori se skoro tri decenije koriste u mernoj i regulacionoj tehnici. Od sredine sedamdesetih godina, kada je, nakon naglog razvoja mikroprocesora, sve više funkcija, koje su ranije bile rezervisane za analognu elektroniku u linearном domenu, počelo da se realizuje digitalnom ili kombinacijom digitalnih i analognih kola, A/D i D/A konvertori su počeli naglo da se razvijaju.

Mnoge fizičke veličine, kao što su temperatura, pritisak, protok, brzina i dr., ispoljavaju se kao veličine, koje se kontinualno menjaju. Amplituda i polaritet takvih veličina detektuju se pogodnim senzorima i obično se istovremeno pretvaraju u odgovarajuće elektične analogne signale. Takvi signali se posredstvom analogne obrade mogu dalje koristiti za različite namene. U većini slučajeva se, ipak, vrši digitalizacija analognog signala. Pod ovim pojmom podrazumeva se izražavanje odabranih analognih vrednosti signala ili podataka u digitalnom, odnosno numeričkom obliku.

Danas se digitalnim uredjajima obradjuje slika, prenosi, snima i reprodukuje ton, realizuju servo-sistemi i upravlja sistemima generalno, mere, prikupljaju i obradjuju podaci. U svim ovim sistemima je neophodna konverzija analognih signala u digitalne i digitalnih u analogne.

U zavisnosti od dinamike pojave, koja se digitalizuje i obradjuje, primenjuju se A/D i D/A konvertori odgovarajuće brzine. Za obradu video slika u radarskoj i TV tehnici koriste se najbrži konvertori (paralelni A/D, odnosno vrlo brzi D/A konvertori). Za audio tehniku, prenos i obradu zvučnih signala, koriste se konvertori srednjih brzina. Za upravljačke sisteme se koriste konvertori srednje i male brzine, dok se za merne instrumente (digitalne multimetre), uglavnom, koriste konvertori malih brzina, ali velike tačnosti i rezolucije.

U ovom radu je predstavljen projekt merne kartice, koja sadrži 8-bitni A/D konvertor, 8-bitni D/A konvertor i 8-bitni I/O port. Ova merna kartica je namenjena za merenje jednosmernih i naizmeničnih signala pomoću računara bez upotrebe digitalnog osciloskopa.

Rad je podeljen na ukupno 20 poglavlja.

U 1. poglavlju data je podela digitalnih kola. U 2. poglavlju date su karakteristike impulsnih i digitalnih signala, kao i vremenski parametri koji ih karakterišu. U 3. poglavlju opisani su osnovni numerički sistemi i kodovi koji se koriste u digitalnoj elektronici. U 4. poglavlju su prikazana elementarna logička kola i parametri koji ih karakterišu. U 5. poglavlju je opisan princip rada digitalnog komparatora. U 6. poglavlju su prikazana Šmitova okidna kola. U 7. poglavlju su prikazani trostatički baferi, kao i mogućnost njihove primene. U 8. poglavlju detaljno su prikazana bistabilna kola, kao i njihova podela. U 9. poglavlju opisan je princip rada integrisanog monostabilnog multivibratora izradjenog u TTL tehnici. U 10. poglavlju prikazana je konstrukcija astabilnog multivibratora pomoću logičkih kola. U 11. poglavlju opisan je princip rada stacionarnog registra sa rednim i paralelnim upisom. U 12. poglavlju ukratko je opisan princip rada pomeračkog registra. U 13. i 14. poglavlju opisani su koderi i dekoderi/demultiplexer. U 15. poglavlju detaljno su opisani parametri koji karakterišu D/A konvertore i dati su primeri najčešće korišćenih D/A konvertora. U 16. poglavlju opisani su A/D konvertori, posebno A/D konvertor sa sukcesivnim aproksimacijama. U 17. poglavlju prikazani su neki karakteristični pojačavački stepeni, kao i parametri koji ih karakterišu. U 18.

poglavlju date su adrese ulazno-izlaznih portova kod PC računara. U 19. poglavlju opisani su signali na sistemskoj magistrali PC računara. U 20. poglavlju opisan je princip rada merne kartice i prikazana je njena celokupna električna šema. Takodje su prikazani i pojačavački stepeni koji se koriste pri radu kartice.

## 1. Digitalna kola i njihova podela

Elektronska kola koja obradjuju digitalne signale nazivaju se digitalna kola, koja su, kao i analogna, sastavljena od aktivnih elemenata (tranzistora) i pasivnih elemenata (otpornika i kondenzatora). Za razliku od analognih kola, koja se vrlo često izradjuju i u diskretnoj tehnologiji, digitalna kola se danas isključivo prave u tehnologiji integrisanih kola [1].

Svi digitalni elementi mogu se, prema osnovnoj nameni, svrstati u dve grupe.

Jednu grupu sačinjavaju elementi, čiji je osnovni zadatak da primljenu informaciju sačuvaju u nepromjenjenom obliku, tj. da memorišu podatke, pa se zato i zovu memorijski elementi. Kada signal informacije uspostavi određeno stanje u memorijskom elementu, to stanje se u njemu zadržava i po prestanku dejstva signala, koji ga je uspostavio. Primeri: flip-flopovi, kondenzatori, magnetna jezgra, poluprovodničke memoriske ćelije.

Druga grupa digitalnih elemenata koristi se u operacijama obrade podataka. Pri obradi podataka koriste se, uglavnom, logičke operacije, pa se ovi elementi nazivaju logičkim elementima. Kod logičkih elemenata jednom uspostavljeni stanje ispoljava se samo dotle, dok postoje signali informacija koji su ga prouzrokovali. Dakle, stanje logičkih elemenata zavisi od kombinacije signala informacije, pa se oni nazivaju kombinacionim elementima. Primer: logička kola.

Ako relizacija dva definisana logička stanja (log. 0 i log. 1) uslovjava postojanje elektronskog kola, onda se takav sklop češće naziva digitalno kolo a ne digitalni element. Digitalno kolo mora da sadrži prekidački element.

Prema načinu uspostavljanja definisanih logičkih stanja, složena digitalna kola, odnosno digitalne mreže, mogu da budu kombinaciona i sekvencijalna.

Uspostavljanje određenog stanja kombinacionih kola zavisi samo od trenutne kombinacije signala informacije. Formirano stanje u kolu zadržava se samo dotle, dok postoje i signali koji su ga prouzrokovali. Ovo ukazuje na zaključak, da kombinacione mreže sadrže logička kola. Primeri: većina aritmetičkih kola, koderi, dekoderi, multiplekseri itd.

Kod sekvencijalnih mreža uspostavljanje jednog stanja u mreži ne zavisi samo od signala informacije, već i od prethodnog stanja u kome se nalazilo svako pojedinačno kolo. To znači da ove mreže sadrže memorijske elemente. Primer: registri i brojači.

Prema tehnologiji proizvodnje, digitalna kola [3] pripadaju raznim familijama:

1. otporničko-tranzistorska kola (RTL kola)
2. diodno-tranzistorska kola (DTL kola)
3. tranzistorsko-tranzistorska kola (TTL kola)
4. emiterско-spregnuta kola (ECL kola)
5. kola sa metalizovanim oksidom poluprovodnika (MOS kola)
6. kola od galijum-arsenida (GaAs kola)

Prema stepenu integracije, digitalna kola se razlikuju po četiri nivoa kompleksnosti:

- kola malog stepena integracije (SSI kola). U njima je integrisano do 100 komponenata.
- kola srednjeg stepena integracije (MSI kola). U njima je integrisano od 100 do 1000 komponeneta.

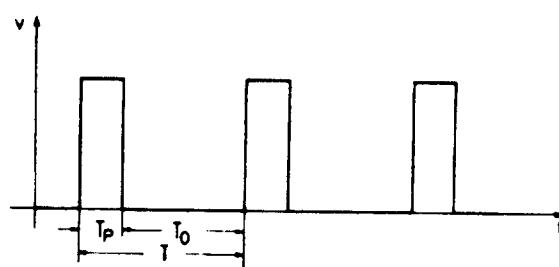
- kola visokog stepena integracije (LSI kola). Ova kola imaju do 10000 komponenata.
- kola vrlo velikog stepena integracije (VLSI kola). Imaju preko 10000 komponenata.

## 2. Nesinusoidni naponi (Impulsni i digitalni signali)

Za generisanje nesinusoidnih napona, kao i za manipulisanje sa njima, koriste se impulsna elektronska kola. U opštem slučaju ove napone karakteriše nagla promena amplitude. Da bi se to ostvarilo neophodno je da u kolu postoji neki element sa nelinearnom karakteristikom. Uobičajeni aktivni elementi pored linearne poseduju i nelinearnu oblast karakteristike. Zbog toga oni mogu da se upotrebe i za realizaciju impulsnih kola, pod uslovom da se radi sa signalima koji se protežu izvan linearne oblasti karakteristike, tj. ova kola rade sa velikim signalima, što predstavlja jednu od opštih karakteristika kola u impulsnoj elektronici [1].

Promena impulsnih signala, u idealnom slučaju, može biti obavljena u beskonačno kratkom vremenskom intervalu. U praksi, brzina promene ograničena je brzinom prelaznih procesa kod komponenata kola. Pri analizi električnih kola usvaja se teorijski oblik impulsa, koji bi imao trenutnu promenu amplitude. Primeri impulsnih signala su periodične ili aperiodične povorke pravougaonih, testerastih ili trouglastih impulsa, razne stepenaste funkcije itd.

Ako se pojedinačni pravougaoni impulsi periodično ponavljaju, onda nastaje povorka impulsa. Takva povorka impulsa sačinjava pravougaoni napon slići 2.1.



slika 2.1 Idealni pravougaoni napon

Učestanost ovog napona je:

$$F = \frac{1}{T} = \frac{1}{T_p + T_0} \quad (2.1)$$

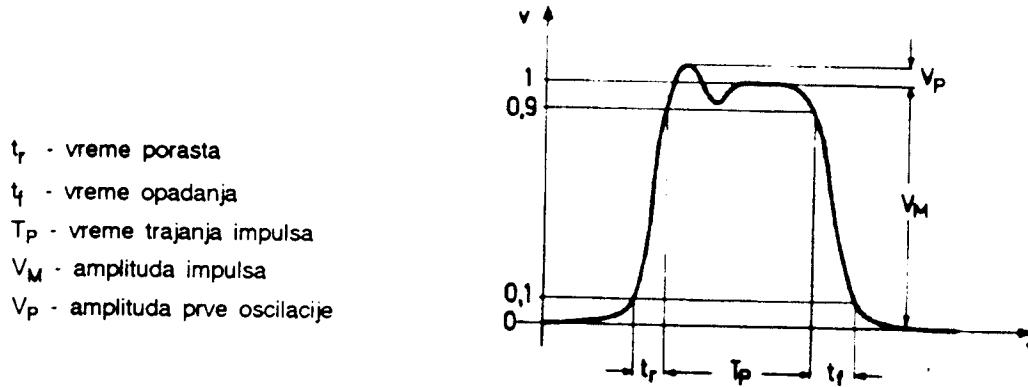
gde je  $T_p$  trajanje impulsa, a  $T_0$  pauza izmedju dva impulsa. U slučaju da je  $T_p = T_0$  pravougaoni napon postaje kvadratni. U vezi sa ovim definiše se faktor ispunе pravougaonog napona:

$$\lambda = \frac{T_p}{T} \quad (2.2)$$

Ovaj faktor je manji od 1 i kod kvadratnog napona iznosi 0.5.

Na slići 2.2 dat je stvarni oblik pravougaonog impulsa, koji, zapravo, podseća na trapezni impuls. Za iznalaženje trajanja bočnih ivica impulsa trebalo bi odrediti trenutke kada napon dostiže nultu, odnosno konačnu vrednost. Zbog velike zakrivljenosti napona

u tim ekstremnim tačkama, praktično je nemoguće odrediti pomenute trenutke sa pouzdanom tačnošću.



slika 2.2 Stvarni oblik pravougaonog impulsa

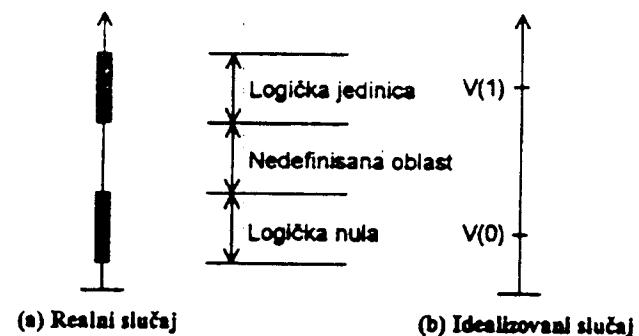
Zbog toga se brzina promene prednje ivice impulsa definiše vremenom uspostavljanja ili usponom  $t_r$  (rise time). Uspon se definiše kao vreme koje je potrebno da se napon impulsa promeni od 10% do 90%  $V_M$ . Analogno tome definiše se i vreme opadanja impulsa  $t_f$  (fall time), u toku koga napon opadne sa 90% na 10% amplitude impulsa  $V_M$ .

Navedeni parametri  $t_r$  i  $t_f$  karakterišu prelazna stanja impulsa. Pored ovih, tu je i parametar  $T_p$  koji se odnosi na ustaljeno stanje impulsa i definiše se na razne načine. Kod pravougaonog impulsa vreme  $T_p$  se meri pri 50% ili 90% amplitude impulsa. Kod šiljatih impulsa, on se daje na nivou od 5% amplitude impulsa.

Gornja ivica pravougaonog impulsa nije uvek ravna kao što bi to trebalo da bude u idealnom slučaju. Ako se radi o impulušu sa kratkotrajnim usponom, obično se pri prelazu sa prednje na ravnu ivicu impulsa ispoljava tendencija oscilovanja napona pre konačnog smirivanja. Ova pojava se naziva premašenje. Premašenje se izražava odnosom amplitude prve oscilacije i amplitude impulsa

$$P = \frac{V_p}{V_M} \quad (2.3)$$

Digitalni signali predstavljaju užu klasu impulsnih signala, koji imaju samo nekoliko dozvoljenih amplitudskih nivoa. Najčešće se koriste binarni digitalni signali, gde su definisana samo dva različita naponska nivoa. Zbog neizbežnih tolerancija komponenta i napona napajanja, umesto naponskih nivoa definišu se naponski opsezi, koji se interpretiraju kao "logička jedinica" i "logička nula" kao na slici 2.3 [2].



sl. 2.3. Definicija binarnih logičkih promjenjivih

Naponski opsezi koji definišu "logičku nulu" i "logičku jedinicu" razdvojeni su prelaznom zonom u kojoj se nalaze signali koji ne predstavljaju ni logičku nulu ni logičku jedinicu, pa prema tome nisu dozvoljeni u normalnom radu digitalnog kola. Nivo logičke jedinice je viši od nivoa logičke nule i takav sistem se naziva "pozitivna logika". moguće je logičkom jedinicom označiti niži nivo, a logičkom nulom viši nivo, čime se dobija "negativna logika".

### 3. Numerički sistemi i kodovi

Postupkom kodovanja može se bilo kakva vrsta digitalnih informacija predstaviti u numeričkom obliku. Stoga se rešavanje problema pomoću digitalnih sistema svodi na obradu numeričkih podataka. Zbog toga je izbor sistema kodovanja informacija jedan od osnovnih problema pri projektovanju digitalnih sistema. Kako ovi sistemi rade samo sa konačnim brojem cifara, to znači da je u interesu većeg kapaciteta brojeva pogodno primeniti brojni sistem sa većom osnovom brojanja, kao što je, na primer, decimalni. Međutim, sa gledišta praktične realizacije digitalnog sistema, to jest iz konstruktivnih razloga, u ovakvim uredjajima za obradu podataka koristi se binarni brojni sistem, čija je osnova 2 [1].

Ni za jedan brojni sistem se ne može reći da ima apsolutnu prednost nad svim drugim sistemima. Zbog toga su i razvijeni različiti numerički sistemi, koji imaju izvesne prednosti nad drugim sistemima u specifičnim uslovima primene.

Svaki numerički sistem sadrži skup brojnih vrednosti, koje se dobijaju kao zbir proizvoda odgovarajućih cifara i njihovih pozicionih vrednosti. Brojne vrednosti nekog numeričkog sistema mogu se izračunati pomoću izraza:

$$X = \sum_{i=-m}^{n-1} C_i B^i \quad (3.1.)$$

m- broj razlomačkih mesta u posmatranoj grupi cifara

n- broj celih mesta

C- cifre brojnog sistema

B- osnova brojnog sistema

i- pozicija cifre u datom broju

Osnova brojnog sistema je uvek pozitivan broj, veći od jedinice. Eksponent i je takođe ceo broj, ali može da bude i pozitivan i negativan. Kada je  $i \geq 0$  brojna vrednost pripada skupu celih brojeva, a ako je  $i < 0$ , onda se odnosi na deo koji odgovara razlomcima.

Cifre brojnog sistema moraju zadovoljavati nejednakost:

$$0 \leq C_i \leq B - 1 \quad (3.2)$$

dok je najveća brojna vrednost koja se može predstaviti sa n cifara data sa:

$$X_{\max} = B^n \quad (3.3)$$

### 3.1 Binarni, oktalni i heksadecimalni brojni sistemi

Binarni brojni sistem je najčešće korišćeni brojni sistem u digitalnim sistemima. U tom slučaju jednačina (3.1) smenom  $B = 2$  dobija oblik:

$$X = \sum_{i=-m}^{n-1} C_i 2^i \quad (3.4)$$

Svaka cifra binarnog sistema naziva se bit. U digitalnim sistemima informacije se predstavljaju grupama bitova odredjene dužine, koje se nazivaju reči. U praksi se sreću reči od 4, 8, 12, 16, 24, 32 i 64 bita. Grupa od 4 bita naziva se nibl, dok se grupa od 8 bitova naziva bajt.

Oktalni i heksadecimalni sistemi se često koriste u digitalnim sistemima, jer obezbeđuju kompaktniju predstavu broja sa manje cifara od binarnog sistema.

Oktalni sistem ima osnovu brojanja 8 ( $B = 8$ ), pa je pogodniji od binarnog sistema za manipulisanje sa velikim brojevima. Prelaz sa oktalnog na binarni sistem i obrnuto je veoma jednostavan, pa se u računarskim uređajima često vrši konverzija decimalnih brojeva u oktalne, pa zatim oktalnih u binarne, umesto direktnе transformacije decimalnih brojeva u binarne. Oktalni sistem se danas manje koristi, pošto su uobičajene dužine reči u digitalnim sistemima multipli od 4 bita.

U cilju povećanja fleksibilnosti programiranja u digitalnim uređajima se primenjuje heksadecimalni brojni sistem. Osnova ovog sistema je  $B = 16$  (tabela 3.1). Heksadecimalni sistem se koristi za kompaktno predstavljanje podataka kod računarskih sistema, jer se svaki bajt predstavlja sa dve heksadecimalne cifre.

Tabela 3.1. Brojevi u decimalnom, binarnom,  
oktalnom i heksadecimalnom sistemu

OSNOVA	10	2	8	16
0	0000	0	0	0
1	0001	1	1	1
2	0010	2	2	2
3	0011	3	3	3
4	0100	4	4	4
5	0101	5	5	5
6	0110	6	6	6
7	0111	7	7	7
8	1000	10	8	8
9	1001	11	9	9
10	1010	12	A	A
11	1011	13	B	B
12	1100	14	C	C
13	1101	15	D	D
14	1110	16	E	E
15	1111	17	F	F

## 4. Logička kola

Logička kola su kombinacioni elementi, koji se upotrebljavaju kao osnovne komponente u izgradnji kombinacionih mreža. Pravilan izbor tipa logičkog kola nameće poznavanje njegovih bitnih karakteristika, kako sa gledišta logičke funkcije, koju kolo treba da obavlja, tako i sa aspekta uslova u kojima kolo treba da radi [1].

### *Logička stanja*

Standardna logička kola mogu biti u jednom od dva stanja: stanje logičke nule  $V(0)$ , odnosno niski nivo  $V_L$ , ili stanje logičke jedinice  $V(1)$ , odnosno visoki nivo  $V_H$ .

### *Faktor granaanja*

Faktor granaanja  $F_g$  logičkog kola, ili broj ulaza familije logičkih kola koje dato kolo može da pobudjuje, ponekad se izražava i "jediničnim opterećenjem". Svaki sistem logičkih kola ima svoje jedinično opterećenje, koje predstavlja struju potrebnu za aktiviranje jednog tipičnog kola iz tog sistema. Prema tome, faktor granaanja je broj jediničnih opterećenja, koji se sadrži u izlaznoj struji kola.

### *Vreme prelaza*

To je isto što i vreme uspona, samo što je ovde drugačije definisano zbog postojanja standardnih vrednosti signala. Vreme prelaza se definiše kao vreme koje je potrebno za promenu signala od 10% do 90% logičke amplitude. Vreme prelaza je zavisno od frekventne karakteristike i pojačanja kola.

### *Propagaciono vreme*

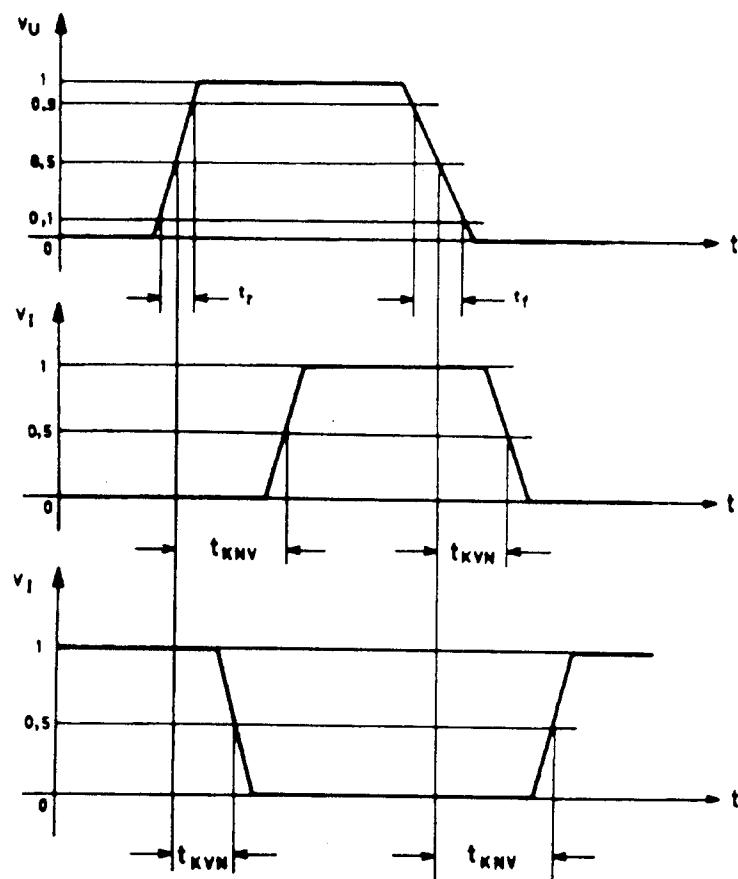
Propagaciono vreme je vreme koje prodje od trenutka kada ulazni napon ima neku specificiranu vrednost, do trenutka kada izlazni napon dostigne odgovarajuću vrednost.

Propagaciono vreme kola se specificira za prednju i zadnju ivicu impulsa i to najčešće pri 50% logičke amplitude. Na slici 4.1 označeno je vreme uspona  $t_r$  i vreme opadanja  $t_f$  ulaznog signala  $V_u$ , kao i uzlazno i silazno kašnjenje  $t_{KNV}$  i  $t_{KVN}$  izlaznog signala  $V_l$ . Umesto ovih kašnjaja, često se daje srednje vreme kašnjaja:

$$t_K = \frac{t_{KNV} + t_{KVN}}{2} \quad (3.5)$$

### *Disipacija*

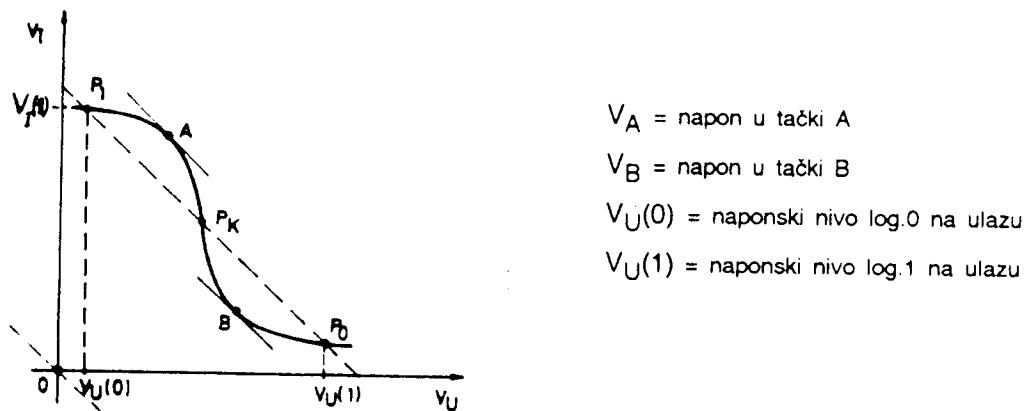
Disipacija snage većine logičkih kola nije ista u stanju logičke nule i jedinice. Zbog toga se obično specificira srednja snaga disipacije. Često se navodi i proizvod disipacije i kašnjaja kao faktor PDP (Power Delay Product) i izražava se, najčešće, u pikodžulima. Pri uporedjivanju logičkih kola faktor PDP se tretira kao faktor dobrote kola, odnosno kao faktor valjanosti kola. Valjanost kola je bolja što je ovaj faktor manji.



slika 4.1 Definisanje vremenskih parametara

### *Margina smetnji*

Pojam šuma kod digitalnih kola nema isto značenje kao kod analognih kola. Kod digitalnih kola šum je neželjena promena napona čvorova gde su bitni logički nivoi, tj. šumovi mogu dovesti do aktiviranja prekidačkog elementa. Šumovi deluju kao ulazni signali kola i njihova kritična vrednost se poklapa sa naponom ulaznog signala u kritičnoj tački  $P_k$  prenosne karakteristike na slici 4.2.



slika 4.2 Prenosna karakteristika digitalnog kola

Najčešće se koristi nešto strožija definicija osetljivosti kola na šumove, koja je takođe vezana za prenosnu karakteristiku. Po ovoj definiciji, najveći signal šuma ograničen je tačkama prenosne karakteristike u kojima je diferencijalno pojačanje jednako jedinici:

$$V_{MS}(0) = V_A - V_U(0) \quad (4.1)$$

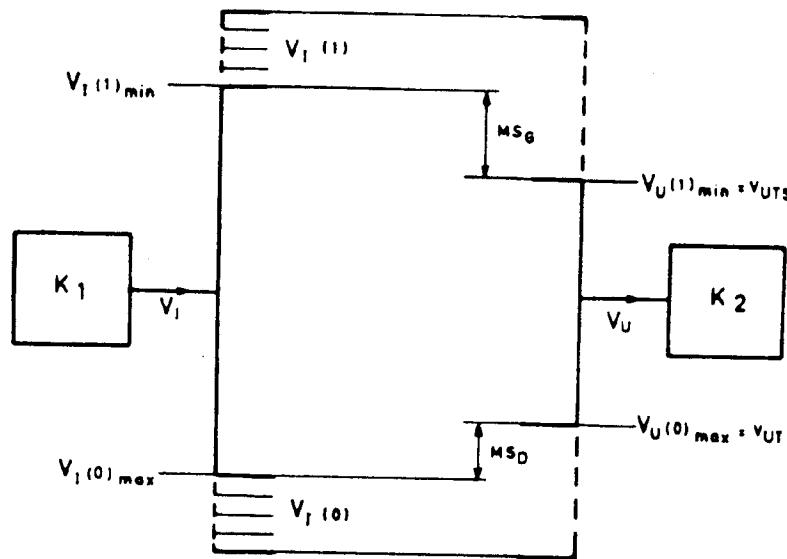
$$V_{MS}(1) = V_U(1) - V_B \quad (4.2)$$

$V_{MS}(0)$  = napon smetnji za log.0

$V_{MS}(1)$  = napon smetnji za log.1

Ovako definisana osetljivost logičkog kola na šumove naziva se margini smetnji. Pod pojmom margini smetnji podazumeva se dozvoljena promena naponskog nivoa na ulazu logičkog kola, koja neće izazvati promenu na izlazu.

Margina smetnji se specificira za najgori slučaj u pogledu nivoa ulaznih i izlaznih naponi logičkih kola istog tipa. Na slici 4.3 naznačena je sprega logičkih kola  $K_1$  i  $K_2$  koja pripadaju istom sistemu i šematski je prikazana margina smetnji za kolo  $K_2$  pri niskom i visokom nivou ulaznog napona.



slika 4.3 Ilustracija margini smetnji za kolo  $K_2$

Margina smetnji logičke nule i jedinice može da se napiše kao:

$$MS_D = V_{MS}(0) = V_U(0)_{max} - V_I(0)_{max} \quad (4.3)$$

$$MS_G = V_{MS}(1) = V_I(1)_{min} - V_U(1)_{min} \quad (4.4)$$

Napon  $V_U(0)_{\max}$  određen je pragom provodjenja  $V_{UT}$ , a napon  $V_U(1)_{\min}$  - pragom zasićenja  $V_{UTS}$  izlaznog tranzistora u logičkom kolu  $K_2$ .  $V_{UT}$  je napon praga provodjenja, a  $V_{UTS}$  napon praga zasićenja izlaznog tranzistora u kolu  $K_2$ .

Margina smetnji je zavisna od napona napajanja, temperature i faktora grananja logičkog kola.

### *Logička amplituda*

Tačke  $P_0$  i  $P_1$  na slici 4.2 odgovaraju stabilnim stanjima prekidačkog elementa u logičkom kolu, pa je razlika nivoa napona izlaznog signala u ovim tačkama od značaja za pouzdan rad kola. Zbog toga se razlika logičkih nivoa

$$\Delta V_I = V_I(1) - V_I(0) \quad (4.5)$$

naziva logička amplituda napona.

### *Napon prelaza*

To je razlika ulaznih napona u tačkama prenosne karakteristike, u kojima je diferencijalno pojačanje jednako jedinici. Na slici 4.2 to je

$$\Delta V_U = V_B - V_A \quad (4.6)$$

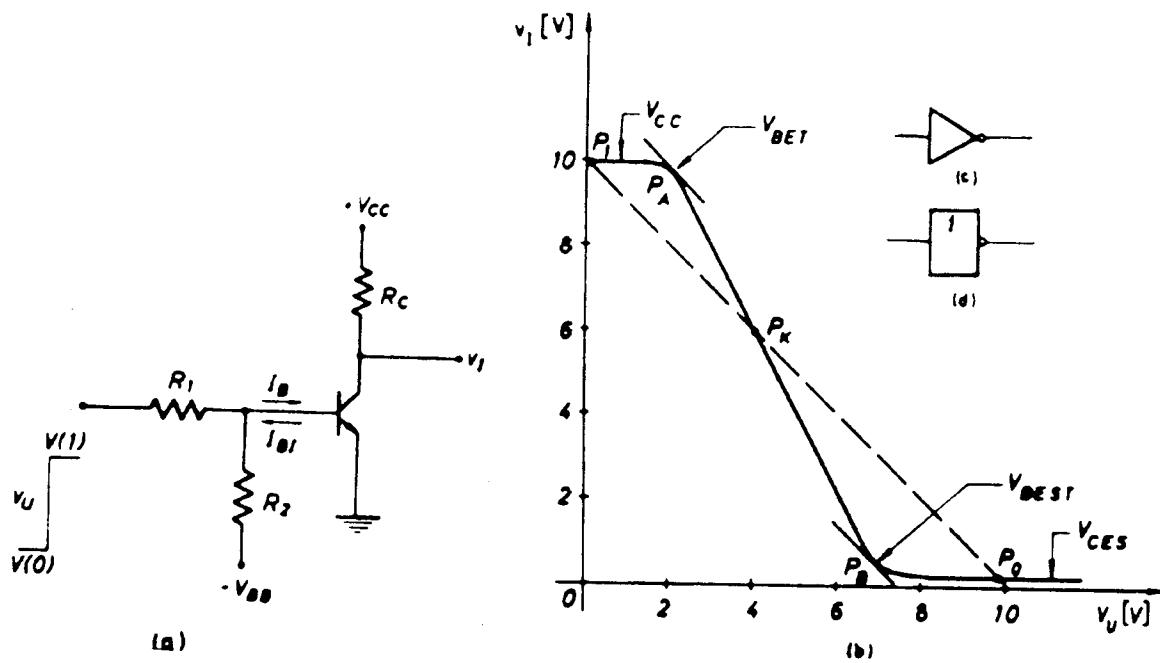
Za brži rad kola ovaj parametar treba da bude što manji

## 4.1. Električne šeme elementarnih logičkih kola

U daljem tekstu su prikazane električne šeme elementarnih logičkih kola sa objašnjanjem principa rada. Ova logička kola omogućuju ostvarivanje elementarnih logičkih operacija, a njihovom kombinacijom se mogu ostvariti sve ostale željene logičke operacije.

### 4.1.1. Logičko "NE" kolo (invertor)

Na slici 4.4 prikazano je logičko NE kolo sa bipolarnim tranzistorom[1]. Komponente kola su tako odabране, da se pri naponu pobudnog signala  $V_U = V(1)$  tranzistor nalazi u provodnom stanju i  $V_I = V(0)$ , a pri  $V_U = V(0)$  tranzistor je u neprovodnom stanju i  $V_I = V(1)$  [1].



slika 4.4 a) Šema kola, b) Prenosna karakteristika, c) i d) Logički simboli

Na taj način je ostvarena logička operacija komplementiranja. Komponente \$R\_2\$ i \$V\_{BB}\$ obezbeđuju da logička nula ulaznog signala može da bude i na izvesnom pozitivnom potencijalu, što je čest slučaj u praksi. Osim toga, primena \$V\_{BB}\$ obezbeđuje smanjenje vremena isključivanja tranzistor skog prekidača. Dva logička stanja invertora uslovljena su vrednošću bazne struje tranzistora. Stanje zasićenja tranzistora određeno je ulaznim nivoom napona \$V\_U = V\_U(1)\$, pa je struja baze jednaka razlici struja koje teku kroz otpornike \$R\_1\$ i \$R\_2\$:

$$I_B = \frac{V_U(1) - V_{BES}}{R_1} - \frac{V_{BES} - V_{BB}}{R_2} \quad (4.7)$$

Da bi tranzistor bio u zasićenju, mora da bude zadovoljen uslov:

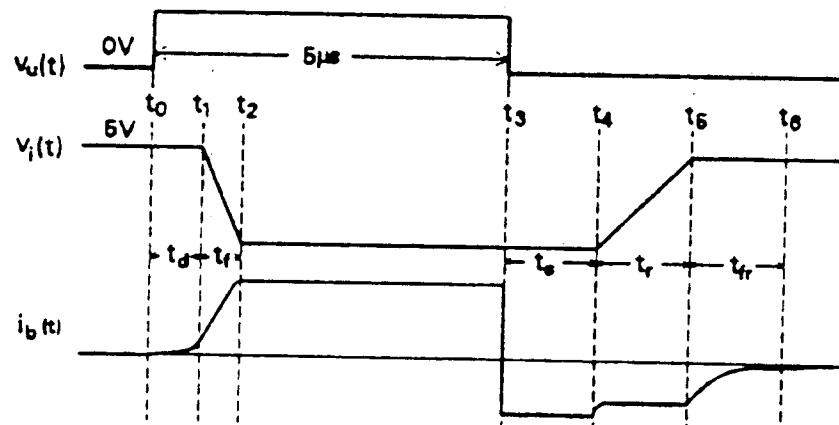
$$I_B > \frac{V_{CC} - V_{CES}}{\beta_F \cdot R_C} \quad (4.8)$$

gde je \$\beta\_F\$ koeficijent strujnog pojačanja tranzistora sa uzemljenim emiterom za jednosmernu struju.

Ovaj uslov mora biti zadovoljen i pri najnepovoljnijim vrednostima parametara i uslovima rada kola.

Za analizu dinamičkih karakteristika invertora koriste se vremenski dijagrami na slici 4.5 [2]. Neka se na ulaz dovede naponski impuls amplitute 5 V i dovoljnog trajanja

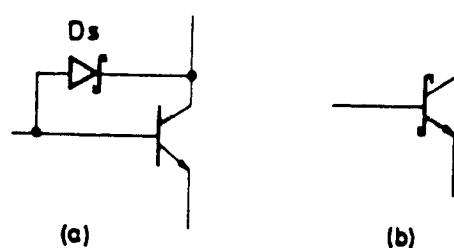
(5  $\mu$ s), tako da se pre opadajuće ivice impulsa završe sve prelazne pojave izazvane rastućom ivicom ulaznog impulsa.



slika 4.5 Vremenski dijagrami napona i struja u invertorskom kolu

Invertor, koji je bio zakočen do trenutka  $t_0$ , jer je  $V_u = 0$  V, ostaje zakočen i po promeni ulaznog impulsa, s obzirom da je potrebno vreme da se napune kapacitivnosti inverzno polarizovanih spojeva. Vremenski interval  $t_d = t_1 - t_0$  naziva se vreme kašnjenja. Kada tranzistor provede, u trenutku  $t_1$ , počinje vremenski interval  $t_f = t_2 - t_1$  koji se naziva vreme opadanja. U toku tog intervala dopunjavaju se parazitne kapacitivnosti, ali se i uspostavlja višak manjinskih nosilaca u područje baze tranzistora koji radi u direktnom aktivnom režimu. U trenutku  $t_2$  tranzistor ulazi u zasićenje, a izlazni napon postaje konstantan i iznosi  $V_{CES}$ . U trenutku  $t_3$  počinje proces kočenja tranzistora. U vremenskom intervalu  $t_s = t_4 - t_3$ , koji se naziva vreme zasićenja (nagomilavanja), eliminše se višak manjinskih nosilaca u bazi koja je posledica zasićenja. Zatim izlazni napon raste u intervalu  $t_r = t_5 - t_4$ , koji se naziva vreme uspostavljanja. U tom intervalu tranzistor je ponovo u direktnom aktivnom režimu. U trenutku  $t_5$  tranzistor se zakoči, ali je potrebno još vreme  $t_{fr} = t_6 - t_5$  da se napon baze promeni sa vrednosti  $V_{BE}$  na nulu, tj. da se isprazne parazitni kapaciteti spojeva. To vreme se naziva vreme oporavka.

Kod invertora sa bipolarnim tranzistorom veći je problem zakočiti tranzistor nego ga učiniti provodnim, zbog velikih vremena zasićenja ( $t_s$ ) i uspostavljanja ( $t_r$ ). Da bi se tranzistor mogao brže zakočiti, potrebno je sprečiti da radi u režimu zasićenja. To se može uraditi primenom Šotkijeve diode (slika 4.6).

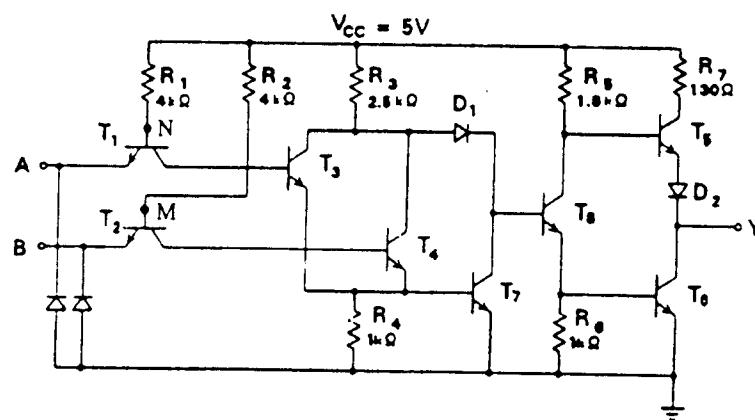


slika 4.6 Šotkijev tranzistor a) Principska šema b) Grafički simbol

Šotkijeva dioda, na kojoj je pad napona pri direktnoj polarizaciji  $V_{DS} \approx (0.4 - 0.5)$  V, sprečava jaku direktnu polarizaciju kolektorskog spoja obezbeđujući da bude  $V_{BC} < 0.5$  V. Velika struja kroz otpornik  $R_B$ , umesto u bazu, odlazi u diodu i kolektor. Na taj način tranzistor se dovodi na ivicu zasićenja. Vreme zasićenja se svodi na nulu, a vreme uspostavljanja je malo povećano zbog povećane kapacitivnosti sloja prostornog nanelektrisanja usled prisustva Šotki diode. Takodje je povećano i vreme kašnjenja i opadanja, ali ta povećanja su minimalna zbog malog kapaciteta sloja prostornog nanelektrisanja Šotkijeve diode, koja iznosi manje od 30% kapacitivnosti sloja prostornog nanelektrisanja tranzistora.

#### 4.1.2. Standardno TTL "ILI" kolo

Tranzistori  $T_1$  i  $T_2$  (slika 4.7) rade sa zajedničkom bazom, što se povoljno odražava na njihovu brzinu rada. Tranzisori  $T_3$  i  $T_4$  rade kao pomerači nivoa, tranzistor  $T_7$  je invertor, a dioda  $D_1$  zajedno sa tranzistorom  $T_7$  obezbeđuje da tranzistori  $T_3$  i  $T_4$  rade u zasićenju kada provode. Tranzistor  $T_8$  je obrtač faze, koji ima približno iste vrednosti otpornika u emiterskom i kolektorskem dovodu, pa mu je pojačanje približno jednako jedinici. Zbog toga se na oba izlazna priključka tranzistora pojavljuju praktično jednak naponi, ali suprotnog polariteta [2].



slika 4.7 Standardno TTL "ILI" kolo SN 7432

Tranzistor  $T_6$  radi kao invertor kod koga je kolektorski otpornik zamenjen dinamičkom otpornošću tranzistora  $T_5$ . Baze ovih tranzistora su vezane na emiterski, odnosno kolektorski priključak obrtača faze. Za vreme provodenja tranzistora  $T_8$ ,  $T_6$  je u zasićenju, a  $T_5$  u neprovodnom stanju. Dioda  $D_2$  obezbeđuje da  $T_5$  bude zakočen, kada je  $T_6$  u zasićenju, tj. mora biti ispunjen uslov:

$$V_{BES6} + V_{CES8} - V_{CES6} < V_{BET5} + V_D \quad (4.9)$$

Kada je  $T_5$  zakočen na izlazu je logička nula. Tada je napon na bazi  $T_5$

$$V_{B5} = V_{BES6} + V_{CES8} = 0.9 \text{ V} \quad (4.10)$$

Kako je napon na izlazu  $V_{CES3} = 0.1 \text{ V}$ , tranzistor  $T_4$  bi provodio, a napon na izlazu bi bio neodredjen. Zbog toga se postavlja dioda  $D_2$  u kolo emitera tranzistora  $T_5$ .

Otpornik  $R_4$  ima ulogu samo u slučaju kada izlaz prelazi sa logičke nule na logičku jedinicu, kada se može desiti da tranzistori  $T_5$  i  $T_6$  istovremeno provode. Tada bi se pojavio veliki strujni impuls kroz izvor za napajanje i oba tranzistora. Kada se otpornik  $R_4$  uključi u kolo, stvaraju se uslovi da tranzistor  $T_5$  udje u zasićenje, ograničavajući tako struju izvora na željenu vrednost. Druga funkcija otpornika  $R_4$  je da ograniči izlaznu struju u slučaju kada se izlaz, koji je u stanju logičke jedinice, greškom kratko spoji na masu.

Ako je na oba ulaza logička nula, napon u tačkama N i M je:

$$V_N(0) = V_{BES1} + V_A(0) \quad (4.11)$$

$$V_M(0) = V_{BES2} + V_B(0) \quad (4.12)$$

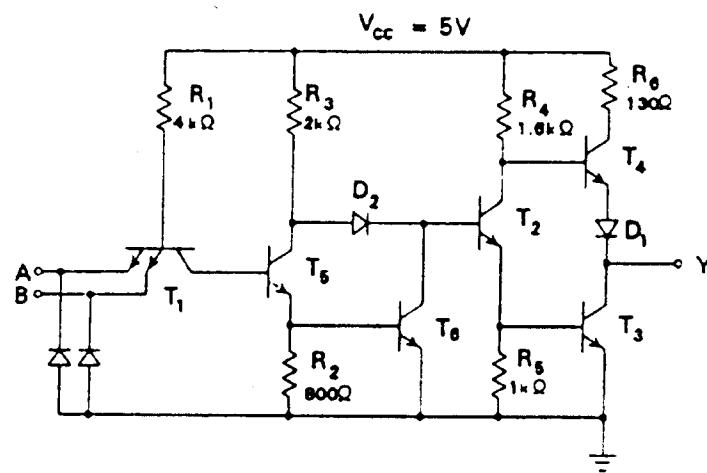
Ovaj napon je nedovoljan da direktno polarizuje dva PN spoja, zbog čega su tranzistori  $T_3$  i  $T_4$  neprovodni. Usled toga je i invertor  $T_7$  zakočen, kolektor mu je na visokom naponskom nivou, usled čega je provodan obrtač faze  $T_8$ , invertor  $T_6$  u zasićenju,  $T_5$  u neprovodnom stanju i na izlazu je logička nula.

Ako se bar na jednom ulazu pojavi logička jedinica, odgovarajući tranzistor u pomeraču faze biće provodan, usled čega će provoditi i invertor  $T_7$ . Obrtač faze  $T_8$  će biti zakočen, kao i tranzistor  $T_6$ , a  $T_5$  će biti u zasićenju i dobiće se stanje logičke jedinice na izlazu.

#### 4.1.3. Standardno TTL "I" kolo

Na slici 4.8 prikazano je standardno TTL "I" kolo sa dva ulaza. Tranzistor  $T_2$  služi za povećanje pobudne struje izlaznog tranzistora.

Princip rada ovog kola je isti kao i za standardno TTL "ILI" logičko kolo prikazano na slici 4.4. Razlika se sastoji u tome što se umesto tranzistora  $T_1$  i  $T_2$  na ulazu TTL "ILI" kola, kod "I" kola koristi jedan multiemitterski tranzistor.

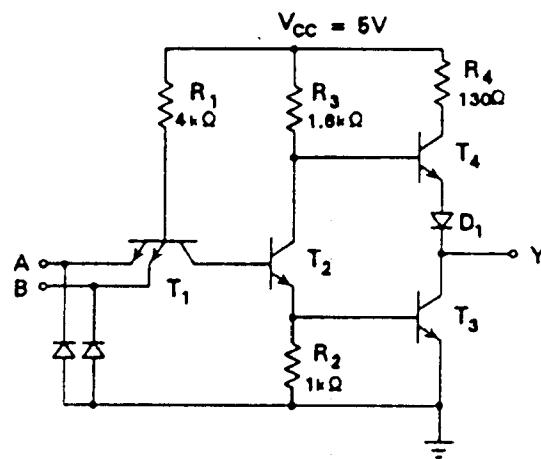


slika 4.8 Standardno TTL "I" kolo

Ako se na jedan ulaz  $T_1$  dovede logička nula, a na drugi logička jedinica, tranzistor  $T_1$  će raditi u zasićenju zbog čega je  $T_5$  zakočen. Tek kada se na svim ulazima tranzistora  $T_1$  uspostavi nivo logičke jedinice, njihovi emiterski spojevi biće inverzno, a kolektorski direktno polarizovani. Napon baze  $T_1$  može sada dovoljno da poraste i da dovede tranzistor  $T_5$  u zasićenje.

#### 4.1.4. Logičko "NI" kolo

Na slici 4.9 je prikazana šema standardnog TTL "NI" kola. Sastoji se iz višeemitorskog tranzistora  $T_1$ , obrtača faze sa tranzistorom  $T_2$  i dinamičkog invertora sa tranzistorima  $T_3$  i  $T_4$ . TTL "NI" kolo predstavlja osnovnu konfiguraciju logičkog kola, čijom se modifikacijom dobijaju standardna TTL "I", "ILI" i "NILI" kola.



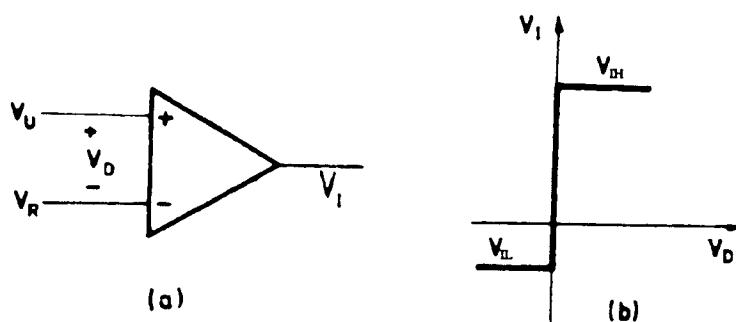
slika 4.9 Standardno TTL "NI" kolo

## 5.Komparatorska kola

Namenski postoje dve vrste komparatora: analogni i digitalni. Analogni komparatori služe za uporedjivanje vrednosti kontinualnih signala, dok se digitalni koriste za uporedjivanje digitalnih signala [2], odnosno numeričkih vrednosti. Pomoću analognih komparatora se registruje trenutak izjednačavanja dva naponska nivoa, dok se pomoću digitalnih komparatora konstatiše da li su dva uporedjivana broja jednaka ili je jedan veći ili manji od drugog. Stoga komparatorska kola poseduju jedan izlaz i dva ulaza, od kojih se jedan koristi kao referentni.

### 5.1.Diferencijalni komparator

Diferencijalni komparator je diferencijalni pojačavač velikog pojačanja. Međutim, kada takav pojačavač treba da se koristi kao komparator, pojavljuju se izvesni specifični zahtevi za karakteristike komparatora. Zbog toga se kola diferencijalnih komparatora razlikuju od kola klasičnih diferencijalnih operacionih pojačavača.



slika 5.1 a) Napredni komparator i b) Idealna prenosna karakteristika

Osnovna funkcija diferencijalnog komparatora je da poređi trenutnu vrednost napona na jednom ulazu sa referentnim naponom na drugom ulazu i da na izlazu generiše logičku nulu ili logičku jedinicu, zavisno od toga koji je ulazni napon veći. Ulazni stepen komparatora mora biti diferencijalni pojačavač velikog pojačanja, dok izlazni stepen treba da bude prilagođen familiji logičkih kola koja se koriste u ostaku sistema. Osnovna razlika između operacionog pojačavača i diferencijalnog komparatora je u tome što se diferencijalni komparator normalno koristi bez povratne sprege. Dakle, kod diferencijalnog komparatora ne postoji problemi stabilnosti i kompenzacije frekventnih karakteristika, što omogućava nešto jednostavniju konstrukciju. Druga razlika je u nešto manjem pojačanju komparatora. Naime, jedina funkcija velikog pojačanja je da smanji opseg ulaznog napona za koji se komparator nalazi u linearном režimu rada. Kako je maksimalna promena izlaznog napona oko 5 V, to znači da je dovoljno pojačanje od 60 dB, jer je ulazni opseg napona istog reda veličine kao i offset napon ulaznog stepena.

Najvažniji parametar diferencijalnog komparatora je brzina rada. Izlaz iz komparatora treba da se pojavi sa minimalnim kašnjenjem posle promene na ulazu i da ima kratka vremena uspona i opadanja. Takođe se zahteva da ulazni i izlazni stepen brzo izlaze iz zakočenja i zasićenja. Brzina rada komparatora karakteriše se veličinom koja se naziva vreme odziva. To je vreme koje protekne od trenutka kada se ulaz pobudi signalom impulsnog oblika do trenutka kada izlazni napon predje graničnu vrednost drugog logičkog stanja. Ulazni impuls treba da bude takav da izvede ulazni stepen iz zasićenja, odnosno da neznatno prelazi nivo komparacije. Naponska razlika izmedju nivoa ulaznog napona i nivoa komparacije naziva se prepobuda. Sa povećanjem prepobude ubrzava se odziv komparatora.

## 5.2.Digitalni komparator 74LS85

Ponekad je potrebno utvrditi da li je binarni broj A veći, manji ili jednak binarnom broju B. Za te potrebe se koristi digitalni komparator [4].

Pomoću ekskluzivnog "ILI" kola se vrši detekcija jednakosti:

$$\overline{\overline{AB} + \overline{AB}} = \begin{cases} 1, & A = B \\ 0, & A \neq B \end{cases} \quad (5.1)$$

Stanje  $A > B$  je data sa:

$$C = \overline{A}\overline{B} = 1 \quad (5.2)$$

jer, ako je  $A > B$ , tada je  $A = 1$ ,  $B = 0$  i  $C = 1$ . U slučaju da je  $A = B$  ili  $A < B$  ( $A = 0, B = 1$ ), tada je  $C = 0$ .

Analogno gornjem slučaju, stanje  $A < B$  je dato sa:

$$D = \overline{A}\overline{B} = 1 \quad (5.3)$$

Na slici 5.2 prikazana je logička šema 4-bitnog digitalnog komparatora, pri čemu postoji mogućnost utvrđivanja da li su 4-bitni brojevi A i B jednaki ili je  $A > B$ . Prepostavimo da je C' na log.0, a E' na log.1. Ako je E = 1, tada je A = B, a ako je C = 1, tada je A > B. Ako je D = 1, tada je A < B, pri čemu D ima istu topologiju kao i C, samo što su A i B zamenjeni.

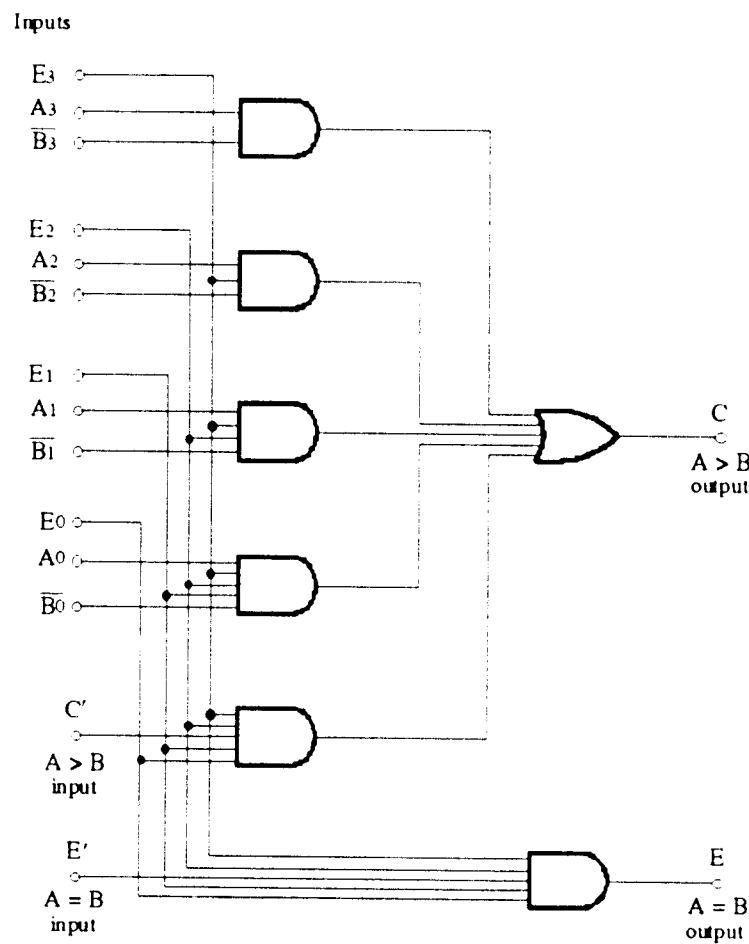
A = B zahteva da treba da budu zadovoljene sledeće jednakosti:

$$A_0 = B_0, A_1 = B_1, A_2 = B_2, A_3 = B_3 \quad (5.4)$$

Zato "I" kolo, koje je dato na slici 5.2, opisano je sa

$$E = E_3 E_2 E_1 E_0 \quad (5.4)$$

Što ukazuje da je  $A = B$  ako je  $E = 1$  i  $A \neq B$  ako je  $E = 0$  (prepostavlja se da se ulaz  $E'$  drži na log.1).



slika 5.2 Logička šema digitalnog komparatora

Nejednakost  $A > B$  zahteva da bude zadovoljena jedna od sledećih relacija:

$$A_3 > B_3$$

ili

$$A_3 = B_3 \text{ i } A_2 > B_2$$

ili

$$A_3 = B_3, A_2 = B_2 \text{ i } A_1 > B_1$$

ili

$$A_3 = B_3, A_2 = B_2, A_1 = B_1 \text{ i } A_0 > B_0$$

Prethodni uslovi su zadovoljeni sledećim izrazom:

$$C = A_3\bar{B}_3 + E_3A_2\bar{B}_2 + E_3E_2A_1\bar{B}_1 + E_3E_2E_1A_0\bar{B}_0 \quad (5.5)$$

ako i samo ako je  $C = 1$ . "I-ILI" kolo za  $C$  je prikazano na slici 5.2 (podrazumeva

$C' = O$ ).

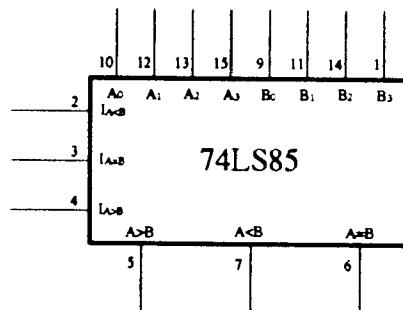
Stanje  $A > B$  se dobija iz jednačine 5.5, pri zamjeni A i B:

$$D = \overline{A_3}B_3 + E_3\overline{A_2}B_2 + E_3E_2\overline{A_1}B_1 + E_3E_2E_1\overline{A_0}B_0 \quad (5.6)$$

ako i samo ako je  $D = 1$ .

D se može prikazati sa  $D = \overline{EC}$ .

Monolitski digitalni komparator 74LS85 (slika 5.3) poredi dva četvorobitna broja A i B, koji binarno mogu da se predstave kao  $A_3 A_2 A_1 A_0 \cdot B_3 B_2 B_1 B_0$ , pri čemu su  $A_0$  i  $B_0$  cifre najmanje vrednosti. Ovim komparatorom može da se utvrđuje da li je binarni broj A veći, manji ili jednak binarnom broju B [3].



slika 5.3 Komparator 74LS85

Nivoi koji predstavljaju pojedine cifre brojeva A i B dovode se na odgovarajuće ulaze  $A_3 A_2 A_1 A_0$  i  $B_3 B_2 B_1 B_0$ . Izlazi komparatora su  $Q_{A>B}$ ,  $Q_{A=B}$  i  $Q_{A<B}$ , pri čemu je samo jedan od ovih ulaza u stanju logičke jedinice, zavisno od toga da li je  $A > B$ ,  $A = B$ ,  $A < B$ , dok su ostali izlazi u stanju logičke nule. Pri poređenju četvorobitnih brojeva, pomoćni ulaz  $1_{A=B}$  se vezuje na stalni pozitivni napon.

Komparator 74LS85 ima 3 pomoćna ulaza ( $1_{A<B}$ ,  $1_{A=B}$ ,  $1_{A>B}$ ). Ovi pomoćni ulazi se koriste ako brojevi A i B, koji se porede, imaju više od 4 bita, zbog čega se koristi više komparatora. Tada se izlazi  $Q_{A>B}$ ,  $Q_{A=B}$  i  $Q_{A<B}$  iz komparatora, koji poredi cifre manje vrednosti, vezuju na ulaze  $1_{A<B}$ ,  $1_{A=B}$ ,  $1_{A>B}$  komparatora koji poredi cifre više vrednosti. Kod komparatora koji poredi cifre najmanje vrednosti, pomoćni ulaz  $1_{A=B}$  se vezuje na stalni pozitivni napon.

#### 74LS85 - tehničke karakteristike:

- Vreme odziva: 23 ns
- Ulazna struja: -30 do 1 mA
- Izlazni naponi: -0.5 V do  $+V_{CC}$
- Ulazni naponi: -0.5 do 7.0 V
- Faktor grananja: 10 LS jediničnih opterećenja
- Tipična brzina: za reči od 5-25 bita 46 ns
- Maksimalni napon napajanja: 7.0 V

Tabela 5.1 Funkcionalna tabela:

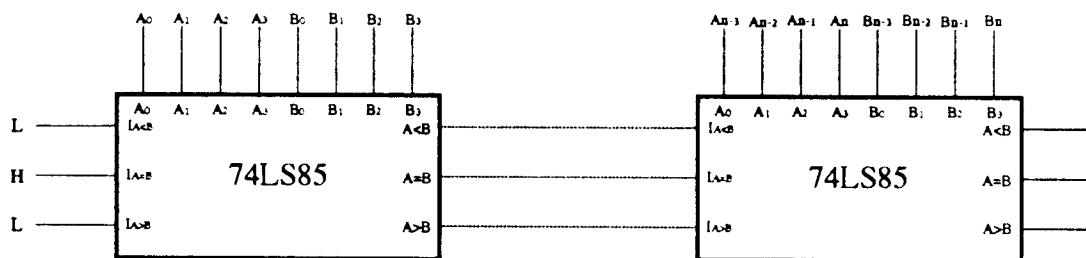
KOMPARATORSKI ULAZI				KASKADNI ULAZI			IZLAZI		
$A_3, B_3$	$A_2, B_2$	$A_1, B_1$	$A_0, B_0$	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$Q_{A>B}$	$Q_{A<B}$	$Q_{A=B}$
$A_3 > B_3$	x	x	x	x	x	x	H	L	L
$A_3 < B_3$	x	x	x	x	x	x	L	H	L
$A_3 = B_3$	$A_2 > B_2$	x	x	x	x	x	H	L	L
$A_3 = B_3$	$A_2 < B_2$	x	x	x	x	x	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	x	x	x	x	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	x	x	x	x	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	x	x	x	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	x	x	x	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	x	x	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

H - visok naponski nivo

L - nizak naponski nivo

x - svejedno

Dve višebitne reči mogu da se porede korišćenjem serijske veze komparatora 74LS85 kao na slici 5.4.

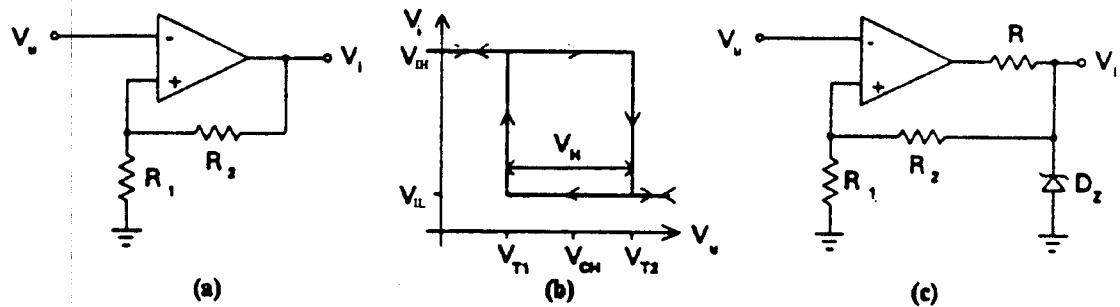


slika 5.4 Poredjenje dve višebitne reči

Na svaki komparator se dovode po četiri bita, pri čemu su bitovi  $A_0, B_0$  sa najmanjom vrednošću. Kod komparatora koji poredi cifre najmanje vrednosti, pomoći ulaz  $I_{A=B}$  se vezuje na log.1, dok se ulazi  $I_{A>B}$  i  $I_{A<B}$  vezuju na log.0. Izlazi  $Q_{A>B}$ ,  $Q_{A=B}$  i  $Q_{A<B}$  zadnjeg komparatora daju definitivan rezultat - da li je višebitna reč A veća, jednaka ili manja od višebitne reči reči B. Uopšte, N komparatora 74LS85, vezanih kao na slici 5.4. mogu da porede do  $4 \times N$  - bitnu reč. Nedostatak je u tome što se pri poredjenju višebitnih reči rezultat poredjenja postepeno prenosi sa komparatora koji poredi cifre najmanje vrednosti, ka komparatorima koji poredaju cifre viših vrednosti, čime se povećava vreme kašnjenja. Neupotrebљeni ulazi komparatora se vezuju na log.0.

## 6. Šmitova okidna kola

Šmitova okidna kola su elektronski sklopovi koji sporu promenu ulaznog napona pretvaraju u brzu digitalnu promenu logičkog nivoa izlaznog napona. Šmitova okidna kola se nazivaju i regenerativni komparatori. To su bistabilna kola sa pozitivnom povratnom spregom. Za razliku od diferencijalnih neregenerativnih komparatora, zbog postojanja pozitivne povratne sprege, referentni nivoi za rastuću i opadajuću promenu ulaznog napona nisu isti. Svaki diferencijalni komparator se može uvodjenjem pozitivne povratne sprege pretvoriti u Šmitov komparator (slika 6.1) [2].



Slika 6.1 a) Šema kola, b) Karakteristika prenosa, c) Realizacija sa operacionim pojačavačem

Šmitov komparator se može napraviti i korišćenjem standardnog operacionog pojačavača, kao na slici 6.1c. Dodatna Zener dioda ograničava opseg izlaznog napona na oblast  $-V_D \leq V_i \leq V_Z$ , dok otpornik  $R$  ograničava izlaznu struju pojačavača.  $-V_D$  je maksimalni dozvoljeni inverzni napon na diodi, a  $V_Z$  je Zenerov napon na diodi.

Pri analizi kola polazi se od stanja kada je ulazni napon dovoljno nizak da izlaz bude u stanju logičke jedinice. Referentni napon na kome će pri povećanju ulaznog napona doći do promene stanja napona na izlazu sa logičke jedinice na logičku nulu je:

$$V_{T2} = \frac{V_{IH} \cdot R_1}{R_1 + R_2} = k \cdot V_{IH} \quad (6.1)$$

Dalje povećanje ulaznog napona ne izaziva promenu izlaznog napona koji ostaje na niskom nivou  $V_{IL}$ . Međutim, promena izlaznog napona izazvala je i promenu referentnog napona na ulazu. Zbog toga će pri smanjivanju ulaznog napona promena stanja na izlazu nastupiti pri naponu:

$$V_{T1} = \frac{V_{IL} \cdot R_1}{R_1 + R_2} = k \cdot V_{IL} \quad (6.2)$$

Referentni naponi  $V_{T1}$  i  $V_{T2}$  nazivaju se pragovi okidanja. Zbog sličnosti sa karakteristikama magnetnih materijala, za karakteristiku prenosa sa slike 6.1b se kaže da ima histerezisnu petlju.

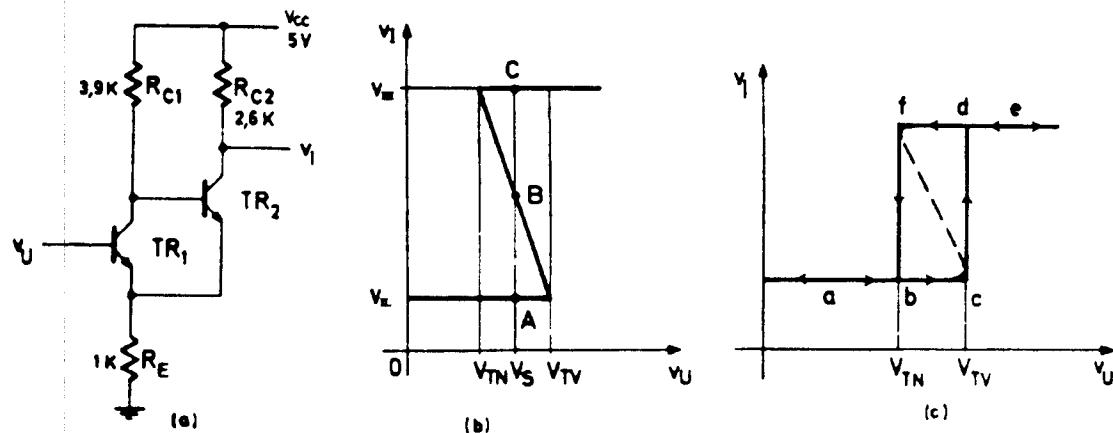
Širina histerezisa data je izrazom:

$$V_H = V_{T2} - V_{T1} = k \cdot (V_{IH} - V_{IL}) \quad (6.3)$$

dok je centar histerezisa određen izrazom :

$$V_{CH} = \frac{V_{T1} + V_{T2}}{2} = k \cdot \frac{V_{IH} + V_{IL}}{2} \quad (6.4)$$

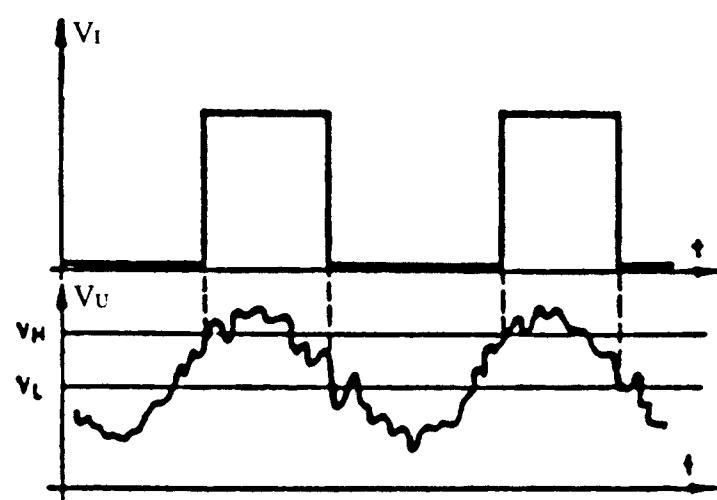
Elementarno Šmitovo kolo u bipolarnoj tehnologiji se realizuje sa dva tranzistora sa spregnutim emiterima (slika 6.2). Sprega od tranzistora  $T_2$  ka tranzistoru  $T_1$  ostvarena je preko zajedničkog otpora  $R_E$ , koji je postavljen u emiterski dovod oba tranzistora. Zbog pozitivne povratne sprege ne mogu oba tranzistora istovremeno da provode, izuzev u vrlo kratkim vremenskim intervalima kada kolo menja stanje.



slika 6.2 a) Šema kola, b) Prenosna i c) Histerezisna karakteristika

Neka je napon na ulazu nizak, tako da tranzistor  $T_1$  ne provodi. Napon na kolektoru tranzistora  $T_1$  je visok, pa tranzistor  $T_2$  provodi. Otpornici su tako odabrani da  $T_2$  provodi u zasićenju i napon na izlazu je na niskom nivou  $V_{IL}$ . Sa povećanjem ulaznog napona  $T_1$  počinje da provodi, smanjuje se napon na njegovom kolektoru, čime se smanjuje i struja kroz tranzistor  $T_2$ . To dovodi do smanjenja napona na otporniku  $R_E$ . Iz ovoga se vidi da povećanje napona baze tranzistora  $T_1$  izaziva smanjenje napona na njegovom emiteru, čime se povećava efektivni pobudni napon na ulazu posmatranog sistema, što ukazuje da postoji pozitivna povratna sprega.

Šmitova kola se koriste pri sprezanju analognih sa digitalnim kolima. Postojanje histerezisa omogućava eliminisanje šuma ili parazitnih oscilacija koji su superponirani na sporo promjenjive analogne napone kao na slici 6.3. Šmitova kola se koriste i za povećanje brzine ivica pravougaonih impulsa u slučajevima kada brzina ivica nije dovoljna za pobudu okidnih digitalnih kola [3].



slika 6.3 Eliminacija šuma pomoću Šmitovog okidnog kola

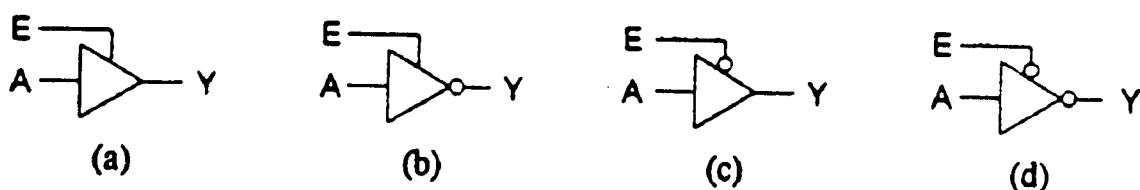
## 7.Baferi i trostatička kola

U slučajevima kada je potrebno ostvariti veći faktor granačnja ili kada je potrebno pobuditi potrošač koji zahteva veću struju, koriste se kola za strujno rasterećivanje, koja se nazivaju baferi ili drajveri. Baferi mogu biti invertorskog ili neinvertorskog tipa, sa jednim ili više ulaza [2].

U digitalnoj elektronici često se pojavljuje problem vezivanja izlaza više logičkih kola na zajedničku liniju. Jedno rešenje su TTL kola sa otvorenim kolektorom, a drugo trostatička TTL kola. Trostatička kola odlikuju se osobinom da mogu biti u tri različita stanja: u stanju logičke nule, u stanju logičke jedinice i u stanju visoke izlazne impedanse. Trostatička kola su prvenstveno namenjena za primene gde se od paralelnog vezanja kola jedno i samo jedno kolo aktivira u određenom vremenskom intervalu.

Ukoliko trostatički invertori, odnosno neinvertirajući pojačavači imaju povećani izlazni faktor granačnja u odnosu na standardna kola date familije, takva kola se nazivaju trostatički baferi.

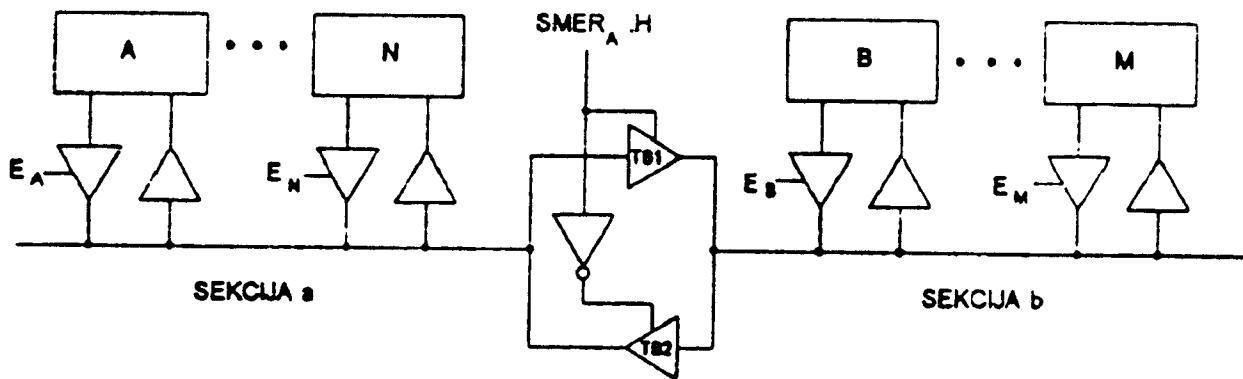
Na slici 7.1 prikazani su standardni simboli za trostatičke bafere. Signal koji prebacuje kolo u stanje visoke impedanse, naziva se signal omogućavanja i obeležava se slovom E (Enable - omogućiti).



slika 7.1 Simboli trostatičkih bafera

Trostatički baferi su našli veliku primenu u digitalnim sistemima, naročito u računarskim sistemima. Razmena informacija između podsistema u ovakvim sistemima se obavlja preko zajedničkog spojnog puta, nazvanog sistemska magistrala. Broj podsistema koji mogu biti priključeni na magistralu zavisi od faktora granačnja primenjenih trostatičkih bafera. U slučaju da je broj uređaja koje treba priključiti na magistralu takav da se premašuje faktor granačnja, neophodno je podeliti magistralu na sekciјe, tako da broj ulaznih priključaka na svakoj sekciјi ne premašuje faktor granačnja izlaznih bafera priključenih na magistralu. U takvim sistemima uređaji priključeni na različite sekciјe takođe treba da razmenjuju informacije u oba smera. Svaka linija magistrale između sekciјa treba da bude spojena tako da propušta logičke signale u oba smera, a da istovremeno sekciјe budu međusobno električno rasterećene.

Na slici 7.2 prikazana je jedna linija magistrale izdeljena na sekciјe trostatičkim baferima. Na sekciјu a vezani su podsistemi A do N, a na sekciјu b, B do M. Svi podsistemi međusobno mogu da razmenjuju informacije u oba smera.



slika 7.2 Električno rasterećenje linije magistrale

Trostatički baferi su korišćeni za priključivanje uređaja na magistralu i za medjusobno spajanje sekcija magistrale. Signali dozvole treba da su generisani tako da se nikad ne može dogoditi jednovremeno aktiviranje više od jednog izlaznog bafera na magistrali. Dok je aktivan bilo koji iz skupa A do N izlaznih bafera, signal  $SMER_A.H$  treba da bude na logičkoj jedinici. Kada je na sekciji b aktivan izlazni bafer, treba da je  $SMER_A.H$  na logičkoj nuli.

Trostatički baferi su najčešće projektovani tako da je prelazak u stanje visoke izlazne impedanse brži od prelaska iz stanja visoke izlazne impedanse u aktivno stanje. Ovo omogućava da se isključivanje jednog i aktiviranje drugog bafera, priključenog na istu liniju, može zadati u istom vremenskom trenutku, a da pri tome ne dolazi do "sudara" na liniji. U praktičnoj realizaciji uvek se ostavlja tzv. "mrtvo vreme" od trenutka deaktiviranja jednog i aktiviranja drugog trostatičkog bafera.

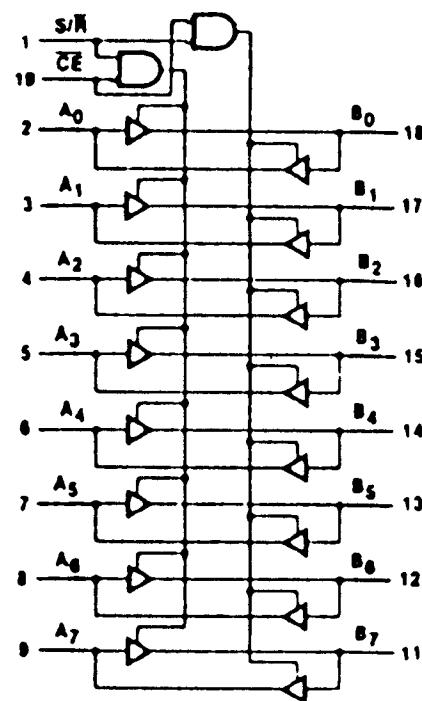
Trostatički baferi vezani tako da propuštaju logičke signale u oba smera nazivaju se bidirekcionimi trostatički baferi (three-state transceiver). Magistrale računarskih sistema najčešće sadrže osam linija ili multiple od po osam linija, tako da su integrirani trostatički baferi najčešće pakovani sa osam bidirekcionih bafera u čipu.

Integrirani trostatički baferi mogu biti realizovani kao Šmitova kola, kako bi se ulaznim histerezisom povećao imunitet na smetnje.

'LS245 (slika 7.3) je oktalni transiver sa neinvertirajućim trostatičkim baferima, koji su kompatibilni sa magistralom podataka. Za kolo je karakterističan ulazni signal CE (Chip Enable) za lako kaskadno vezivanje i signal S/R (Send/Receive) za kontrolu smera prenošenja podataka. Svi ulazi imaju histerezis, čime je uticaj šuma smanjen na minimum.

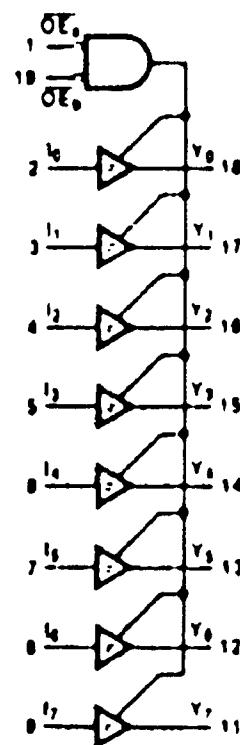
#### Tehničke karakteristike kola 74LS245:

- Tipično propagaciono kašnjenje 8 ns
- Tipična potrošnja struje 58 mA
- Faktor grananja 30 LS jediničnih opterećenja na svim pinovima
- Napon napajanja max 7.0 V
- Ulazni napon -0.5 do +7.0 V
- Ulazna struja -30 do +1 mA
- Radna temperatura 0 - 70 °C



slika 7.3 Logička šema kola 74LS245

'LS541 (slika 7.4) je oktalni, neinvertirajući, trostatički bafer, koji se koristi kao linijski drajver. Ovaj bafer na ulazima ima, takodje, histerezis.



slika 7.4 Logička šema kola 74LS541

**Tehničke karakteristike kola 74LS541:**

- Tipično propagaciono kašnjenje 10 ns
- Tipična potrošnja struje 23 mA
- Faktor grananja 30 LS jediničnih opterećenja na svim pinovima
- Napon napajanja max 7.0 V
- Ulazni napon -0.5 do +7.0 V
- Ulazna struja -30 do +1 mA
- Radna temperatura 0 - 70 °C

## 8.Bistabilna kola

Sekvencijalna kola moraju sadržati elemente koji imaju sposobnost memorisanja stanja. Takav element mora imati bar dva stabilna stanja iz kojih može izaći samo pod dejstvom pobudnog signala. U digitalnoj elektronici se koriste elementi sa samo dva stabilna stanja koji se nazivaju bistabilna kola. Da bi promena stanja, započeta okidnim impulsom, bila što brža, bistabilna kola se izvode kao regenerativna. To znači da okidni impuls samo inicira promenu stanja, a sam proces promene se dalje odvija automatski. Da bi se to ostvarilo u kolu moraju postojati uslovi samoodržavanja započetog procesa, odnosno kumulativnog razvoja tendencije da se započeti proces izvrši. Ovakav regenerativni proces može se ostvariti samo u kolima sa pozitivnom povratnom spregom.

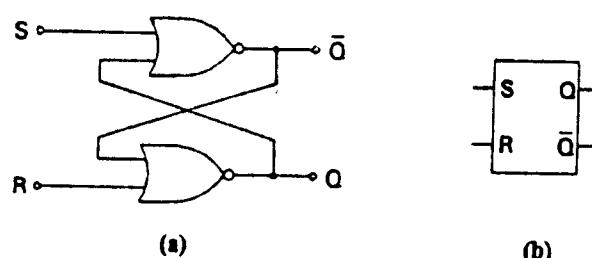
U početnom periodu razvoja digitalne elektronike sva bistabilna kola (izuzev komparatora) su svrstavani u flipflopove [“Poluprovodnička elektronika”-D. Pantić, B. Milivojević]. Daljim razvojem i usložnjavanjem digitalnih kola došlo je do podele bistabilnih kola na lečeve i flipflopove [2, 4]. Pri tome, u literaturi se nailazi i na različite definicije leča i flipflop-a.

Po knjizi [4] u flipflopove spadaju ona bistabilna kola na koja se, pored ulaznih signala, dovodi i klok (taktni) impuls.

Po knjizi [2] kod leč kola izlaz stalno prati promene na ulazima dok se eventualno, ne dovede signal koji zamrzava stanje na izlazu. Kod flipflopova stanje na izlazu se menja samo posle dovodenja odgovarajuće ivice pobudnog signala i posle toga se ne menja.

### 8.1. SR Leč kolo

Kod memorijskih elemenata uveden je termin koji određuje stanje mirovanja ili početno stanje kola. Početno stanje memorijskih elemenata se naziva resetovano stanje i usvojeno je da resetovano stanje odgovara stanju logičke nule. Stanje kola koje odgovara logičkoj jedinici, naziva se setovano stanje.



slika 8.1 SR leč kolo sa NOR kolima, a) Šema kola, b) Grafički simbol

Slobodni ulazi logičkih kola označeni su sa S i R, a izlazi sa Q i  $\bar{Q}$  jer moraju biti komplementarni (slika 8.1). Kad su izlazni nivoi  $Q = 1$  i  $\bar{Q} = 0$ , kaže se da je leč kolo setovan, a kada je  $Q = 0$  i  $\bar{Q} = 1$  kaže se da je leč kolo resetovan.

Dovodenjem kombinacije  $S = 1, R = 0$  na ulaze kola, izlazi se postavljaju u stanje  $Q = 1$  i  $\bar{Q} = 0$ , čime je SR leč kolo setovano. Dovodenjem kombinacije  $S = 0, R = 1$ , izlazi se postavljaju u novo stanje  $Q = 0$  i  $\bar{Q} = 1$ , odnosno leč kolo se resetuje. Kada se na ulazu nalazi kombinacija  $S = R = 0$ , na izlazu se ne dešava nikakva promena, jer su oba ulazna signala na neaktivnom nivou. Ako se na ulazima pojavi kombinacija  $S = R = 1$ , oba izlaza će se nalaziti u stanju logičke nule i neće biti komplementarni. Posle prelaska pobude  $S = R = 1$  u stanje  $S = R = 0$ , stanje na izlazu se ne može predvideti, jer zavisi od toga koji će se ulazni signal prvi promeniti. Zbog toga se kombinacija  $S = R = 1$  naziva "neodredjeno" stanje.

Opis rada kola se može dati pomoću funkcionalne tabele, koja daje stanja na izlazima za sve moguće kombinacije stanja na ulazima. U funkcionalnoj tabeli (tabela 8.1)  $Q_n$  označava trenutno stanje izlaza  $Q$ , dok  $Q_{n+1}$  označava stanje izlaza posle promene ulaznih signala. Osim funkcionalne tabele, često se koristi i ekscitaciona tabela, koja određuje ulazne signale koji prevode kolo u željeno stanje. Za pojedine prelaze nije važno na kakvom se nivou nalazi neki ulaz, što se označava simbolom "X".

tabela 8.1 Funkcionalna tabela

$S$	$R$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	$Q_n$	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	N.S.	N.S.

N.S. = neodredjeno stanje

tabela 8.2 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	$S$	$R$
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Funkcionisanje Leč kola može se opisati i pomoću logičke jednačine, koja se naziva funkcionalna jednačina:

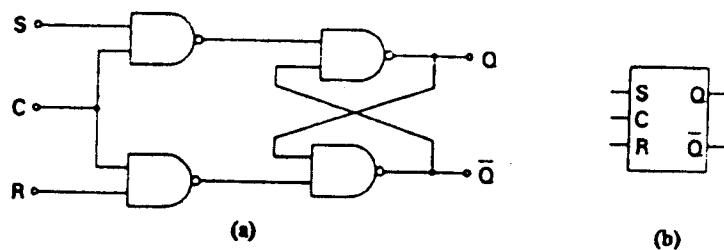
$$Q_{n+1} = \overline{S}\overline{R} + \overline{S}RQ_n \quad (8.1)$$

korišćenjem izraza za dozvoljena stanja  $SR = 0$  i zakona apsorpcije, izraz se uprošćava:

$$Q_{n+1} = S + \overline{R}Q_n \quad (8.2)$$

## 8.2. SR Leč kolo sa signalom dozvole

SR kolo sa signalom dozvole (slika 8.2) može da menja stanje samo u određenim vremenskim intervalima kada je aktivan kontrolni signal C. Ako je kontrolni signal C periodični takt signal, dobija se taktovano SR leč kolo. Funkcionalna i ekscitaciona tabela su date u tabelama 8.3 i 8.4.



slika 8.2 a) Šema kola, b) Grafički simbol

tabela 8.3 Funkcionalna tabela

S	R	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	$Q_n$	$\bar{Q}_n$
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
X	X	0	$Q_n$	$\bar{Q}_n$

tabela 8.4 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	S	R	C
0	0	0	X	1
0	1	1	0	1
1	0	0	1	1
1	1	X	0	1

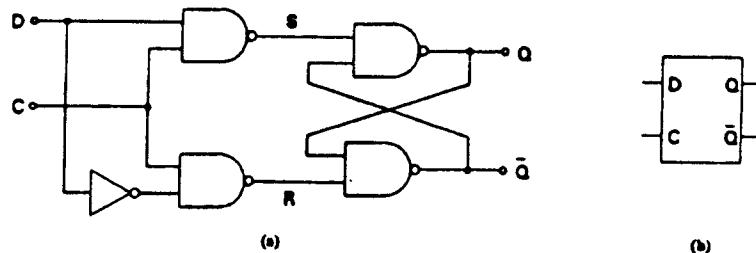
Funkcionalna jednačina SR Leč kola sa signalom dozvole je:

$$Q_{n+1} = C \cdot (S + \bar{R}Q_n) \quad (8.3)$$

### 8.3. D Leč kolo

Razvojeni ulazi za setovanje i resetovanje leč kola pogodni su za primene u kontrolnim sistemima. Za primene u sistemima za memorisanje informacija pogodnije je imati samo jedan ulaz u leč kolo, koji će onda određivati stanje na izlazu. Takvu funkciju obavlja D leč kolo

Osnovu šeme D leč kola čini SR leč kolo sa signalom dozvole (slika 8.3). Jedina razlika je dodatni invertor na ulazu, koji uklanja mogućnost dovodenja "neodredjene" kombinacije signala na ulaz.



slika 8.5 a) Šema kola i b) Grafički simbol

Kada je ulazni signal omogućavanja C aktiviran (na visokom naponskom nivou), na izlazu kola se uvek pojavljuje isti signal kao na ulazu, naravno, uz kašnjenje kroz logičke elemente. Kada se C vrati na nivo logičke nule, stanje na izlazu se zamrzava (tabele 8.5 i 8.6).

tabela 8.5 Funkcionalna tabela

D	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	1	0	1
1	1	1	0
X	0	$Q_n$	$\bar{Q}_n$

tabela 8.6 Ekscitaciona tabela

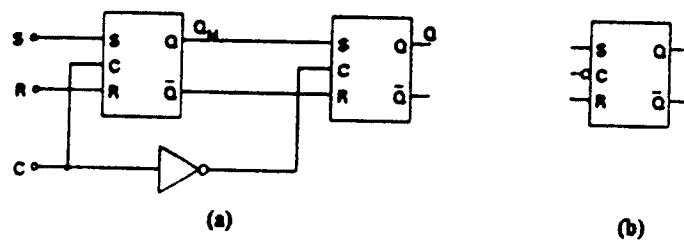
$Q_n$	$Q_{n+1}$	D	C
0	0	0	1
0	1	1	1
1	0	0	1
1	1	1	1

Funkcionalna jednačina D leč kola je :

$$Q_{n+1} = D\bar{Q} + DQ = D \quad (8.4)$$

#### 8.4. Flipflopovi sa impulsnim okidanjem (MS flipflopovi)

Kod MS (Master-Slave) flipflopova okidanje je sinhronizovano sa takt impulsem. Taktni impuls služi za sinhronizaciju rada svih primenjenih kola u sistemu. MS flipflop se može realizovati korišćenjem dva SR leč kola (slika 8.4).



slika 8.4 SR MS flipflop, a) Šema kola, b) Grafički simbol

U prvo leč kolo informacija sa ulaza se upisuje posle rastuće ivice taktnog impulsa, a u drugo leč kolo informacija sa izlaza prvog leč kola se upisuje posle opadajuće ivice taktnog impulsa. Istovremeni upis u oba leč kola nije dozvoljen, što se rešava pomoću signala dozvole.

tabela 8.7 Funkcionalna tabela

S	R	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	↑	$Q_n$	$\bar{Q}_n$
0	1	□	0	1
1	0	□	1	0
1	1	□	N.S.	N.S.
X	X	0	$Q_n$	$\bar{Q}_n$

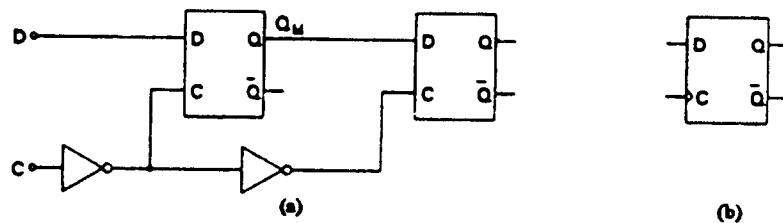
tabela 8.8 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	S	R	C
0	0	0	X	□
0	1	1	0	□
1	0	0	1	□
1	1	X	0	□

Ako je neposredno pre opadajuće ivice taktnog impulsa stanje na ulazu  $S = R = 1$ , izlazi prvi leč kola biće u stanju logičke jedinice. Onda će se i na ulazima drugog leč kola nalaziti neodređena kombinacija  $S = R = 1$ , pa će izlaz celog SR MS flipflop biti neodređen (tabele 8.7 i 8.8).

## 8.5. Flipflopovi sa ivičnim okidanjem

Problem neodredjenosti izlaznog stanja zbog promene stanja na ulazima može se rešiti ako se okidanje flipflopova izvrši sinhrono sa ivicom takt impulsa (slika 8.5 i tabele 8.9 i 8.10).



slika 8.5 D flipflop koji se okida rastućom ivicom taktnog impulsa,  
a) Šema kola,  
b) Grafički simbol

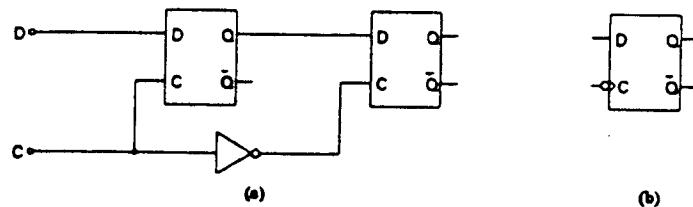
tabela 8.9 Funkcionalna tabela

D	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	0	1
1	0	1	0
X	0	$Q_n$	$\bar{Q}_n$
X	1	$Q_n$	$\bar{Q}_n$

tabela 8.10 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	D	C
0	0	0	0
0	1	1	0
1	0	0	0
1	1	1	0

Kada je taktni signal na niskom naponskom nivou, moguće je upisivati informacije u prvo D leč kolo i to stanje zamrznuti dovodenjem rastuće ivice taktnog impulsa. Istovremeno se aktivira drugo D leč kolo i u njega se vrši upis izlaza prvog leč kola (slika 8.6 i tabele 8.11 i 8.12).



slika 8.6 D flipflop koji se okida opadajućom ivicom takt impulsa,  
a) Šema kola  
b) Grafički simbol

tabela 8.11 Funkcionalna tabela

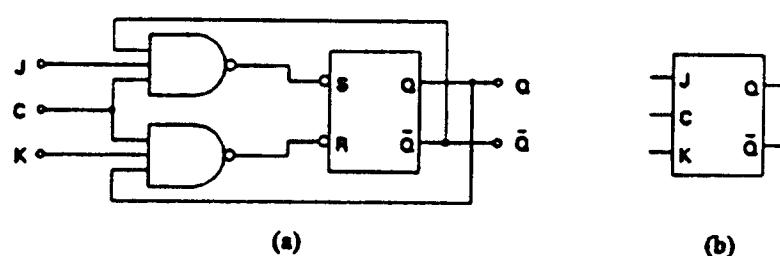
D	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	1	0	1
1	1	1	0
X	0	$Q_n$	$\bar{Q}_n$
X	1	$Q_n$	$\bar{Q}_n$

tabela 8.12 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	D	C
0	0	0	1
0	1	1	1
1	0	0	1
1	1	1	1

## 8.6. JK flipflop

Problem neodredjenosti stanja na izlazu kada su S i R ulazi SR leč kola istovremeno aktivni, rešava se uvođenjem JK flipflop-a (slika 8.7).



slika 8.7 JK flipflop realizovan sa NI kolima : a) Šema kola, b) Grafički simbol

Promena stanja flipflop-a može se vršiti samo kada je takt na visokom nivou, tj. promena stanja je sinhronizovana sa pojavom takt impulsa. Ulaz J služi za setovanje, a ulaz K za resetovanje flipflop-a.

U slučaju  $J = K = 1$ , zbog dejstva povratnih sprega, flipflop mora da promeni stanje (tabele 8.13 i 8.14).

tabela 8.13 Funkcionalna tabela

J	K	C	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	$Q_n$	$\bar{Q}_n$
0	1	1	0	1
1	0	1	1	0
1	1	1	$\bar{Q}_n$	$Q_n$
X	X	0	$Q_n$	$\bar{Q}_n$

tabela 8.14 Ekscitaciona tabela

$Q_n$	$Q_{n+1}$	J	k	C
0	0	0	X	1
0	1	1	X	1
1	0	X	1	1
1	1	X	0	1

Karakteristična jednačina JK flipflop-a je:

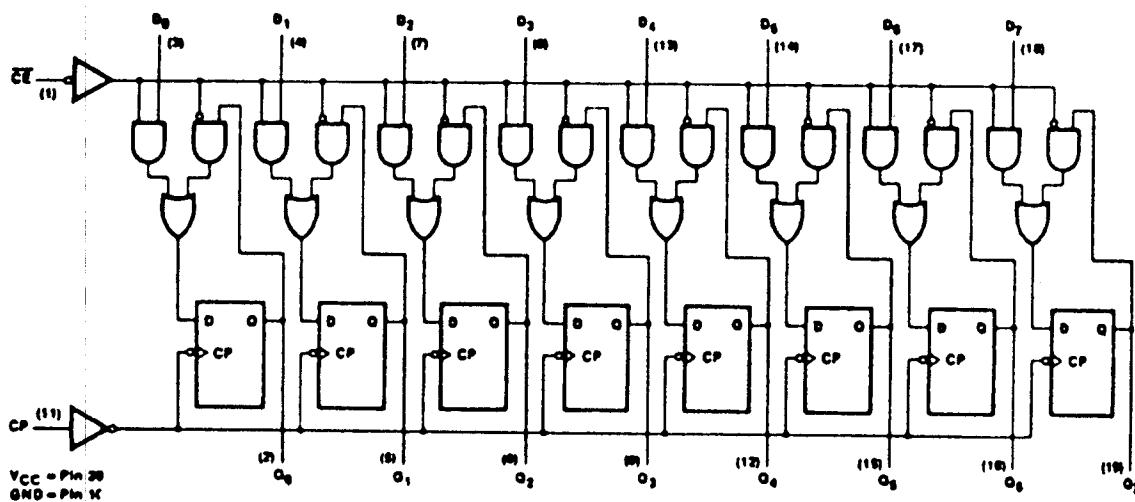
$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n \quad (8.5)$$

Kolo sa slike 8.7 ima jedan nedostatak, koji se uočava, ako se posmatra proces resetovanja flipflop-a kada su ulazi u stanju  $J = K = 1$ . Pošto promena stanja na izlazu menja i stanje na ulazu logičkih kola, resetovani flipflop može se ponovo setovati ako je takt impuls još uvek aktivан zato što su ulazi u stanju  $J = K = 1$ . Dato kolo će ispravno raditi samo ako je takt impuls vrlo kratak, odnosno, kraći od kašnjenja kroz logička kola i SR leč kolo. Pošto su vremenska kašnjenja promenjiva usled proizvodnih tolerancija i temperaturnih promena, rad opisanog JK flipflop-a može biti nepouzdan. Stoga se JK flipflopovi uvek realizuju u konfiguraciji sa MS ili ivičnim okidanjem.

Pored navedenih kola postoje i T flipflopovi, koji se realizuju pomoću D ili JK flipflop-a. Izlazni signal iz T flipflop-a ima dva puta manju učestanost od takta, zbog čega se T flipflopovi primenjuju u deliteljima učestanosti.

74LS377 sadrži osam ivično okidanih D flipflopova sa individualnim D ulazima i Q izlazima.

Preko zajedničkog ulaza CP (clock) simultano se okidaju svi flipflopovi, kada je ulaz CE na nivou logičke nule. Stanje svakog od D ulaza se, rastućom ivicom okidnog impulsa, postavlja na Q izlaz odgovarajućih flipflopova.



slika 8.8 Logička šema kola 74LS377

tabela 8.15 Tabela stanja kola 74LS377

Mod rada	Ulazi			Izlazi
	CP	$\overline{CE}$	Dn	Qn
opterećenje "1"	—	I	n	H
opterećenje "0"	—	I	I	L
Blokiranje	X	h	X	bez izmene
		H	X	bez izmene

H - stalan visok naponski nivo

h - visok naponski nivo do trenutka pojave rastuće ivice okidnog impulsa

L - stalan nizak naponski nivo

I - nizak naponski nivo do trenutka pojave rastuće ivice okidnog impulsa

X - svejedno

— rastuća ivica okidnog impulsa

#### Tehničke karakteristike kola 74LS377:

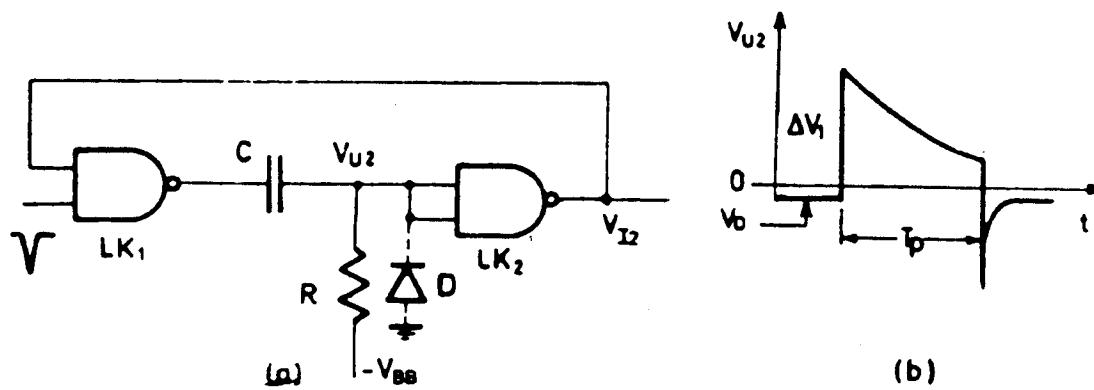
- Napon napajanja max 7.0 V
- Ulazni napon -0.5 do +7.0 V
- Ulazna struja -30 do +1 mA
- Faktor grananja: 10 LS jediničnih opterećenja
- Vreme kašnjenja 43 ns
- Tipična potrošnja struje 20 mA
- Tipična maksimalna frekvencija 40 MHz
- Radna temperatura 0 - 70 °C

## 9. Monostabilni multivibratori

Monostabilni multivibratori predstavljaju elektronska kola koja imaju jedno stabilno i jedno kvazi-stabilno logičko stanje. U odsustvu pobudnog signala, monostabilni multivibrator se uvek nalazi u stabilnom logičkom stanju. Pod dejstvom spoljašnjeg okidnog signala monostabilni multivibrator prelazi u kvazi-stabilno stanje, u kome ostaje izvesno vreme čije je trajanje određeno vrednostima pasivnih elemenata multivibratora. Nakon isteka ovog vremena monostabilni multivibrator se spontano vraća u prvobitno stanje.

### 9.1. Monostabilni multivibrator sa NI TTL logičkim kolima

sprežnoj grani izmedju logičkih kola  $LK_1$  i  $LK_2$  ugradjen je akumulacijski element-kondenzator  $C$ , dok je povratna sprega sa  $LK_2$  na  $LK_1$  izvedena direktno. Drugi ulaz na kolu  $LK_1$  koristi se za dovodenje okidnih impulsa, a drugi ulaz na kolu  $LK_2$  je suvišan, pa se oba ulaza spajaju zajedno (slika 9.1) [1]. Treba uzeti u obzir da su kod TTL komponenta ulazi spojeni na masu preko zaštitnih dioda, postavljeni u inverznom smeru.



slika 9.1 a) Logička šema, b) Naponski dijagram

Mirno stanje datog monostabilnog multivibratora okarakterisano je sledećim izlaznim naponima logičkih kola:  $V_{I1} = V_{IL1}$  i  $V_{I2} = V_{IH2}$ . Napon  $V_{U2}$  je ograničen padom napona provodne diode D, tako da napon na kondenzatoru iznosi  $V_C = V_{IL1} + V_D$ , pa se može reći da je kondenzator praktično ispraznjen. Dovodenjem negativnog okidnog impulsa na slobodan ulaz kola  $LK_1$ , njegov izlaz prelazi na visoki naponski nivo  $V_{I1} = V_{IH2}$ . Ovaj porast napona prenosi se preko kondenzatora na ulaz kola  $LK_2$ , tako da izlaz ovog kola prelazi na niski nivo  $V_{I2} = V_{IL2}$ . Pošto je  $V_{U1} = V_{I2}$ ,

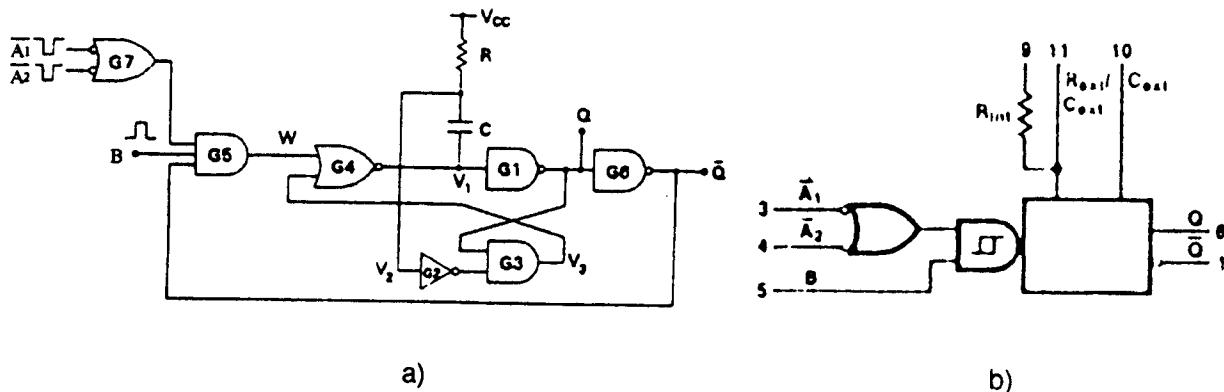
ovim se podržava uspostavljeno stanje u multivibratoru i po prestanku delovanja okidnog impulsa.

Nastalo stanje je kvazistabilnog karaktera, čije trajanje zavisi od brzine punjenja kondenzatora. Kondenzator se puni preko izlazne otpornosti logičkog kola  $LK_1$ , pri visokom naponskom nivou, koja je mala, kao i preko ulazne otpornosti logičkog kola  $LK_2$ , koja je velika. Kako bi zbog toga struja punjenja kondenzatora bila veoma mala, paralelno ulaznoj otpornosti kola  $LK_2$  vezan je otpornik  $R$ , koji je priključen na negativni potencijal  $-V_{BB}$ , čime se fiksira pretpolarizacija stabilnog stanja kola.

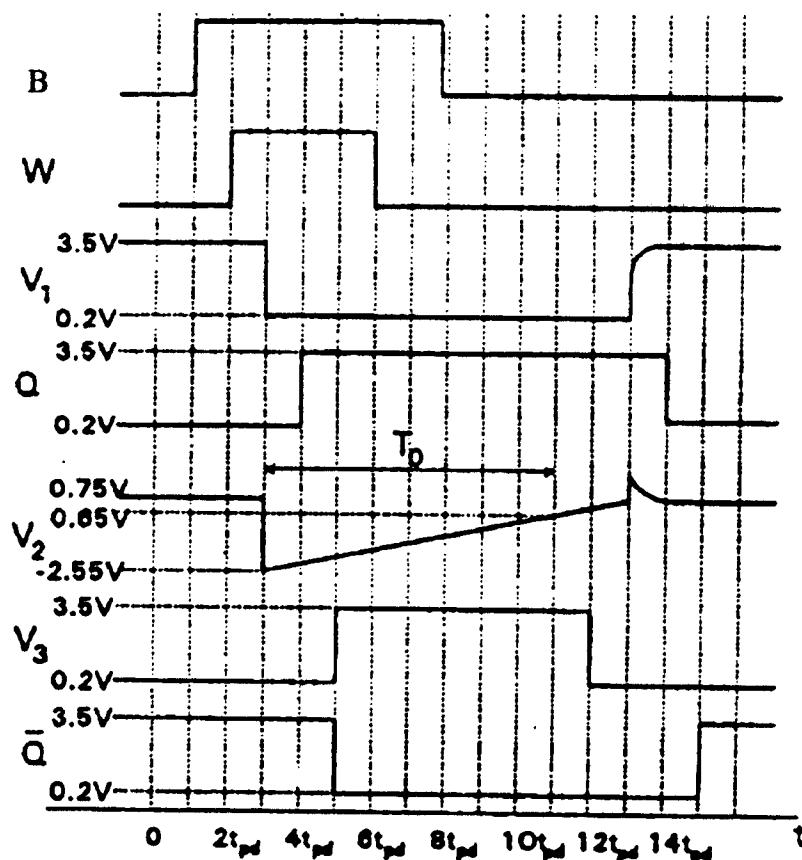
Po završetku kvazistabilnog stanja nastaje period smirivanja kola pre uspostavljanja konačnog ustaljenog stanja. Period smirivanja određen je vremenom pražnjenja kondenzatora  $C$  do ranije navedene ustaljene vrednosti. Ovo vreme će biti vrlo kratko, pošto je otpornik  $R$  u ovom periodu premošćen diodom  $D$ , koja je sada provodna.

## 9.2. Integrisani monostabilni multivibrator 74121

Kola  $G_1$ ,  $G_3$ ,  $G_4$ ,  $G_5$ ,  $G_6$  i  $G_7$  su standardna TTL kola, dok je invertor  $G_2$  realizovan kao jednostepeni pojačavač sa uzemljenim emitorom, koji se uključuje pri ulaznom naponu od 0.65 V, a ulazi u zasićenje pri ulaznom naponu od 0.75 V [2].



Slika 9.2 Monostabilni multivibrator 74121: a) Logička šema, b) Logički simbol



Slika 9.3 Dijagrami napona u kolu sa slike 9.2

Tehničke karakteristike kola 74121:

- Faktor grananja:      a)ulaz B - 2 TTL kola  
                              b)izlazi Q, Q-bar - 10 TTL kola
- Vreme kašnjenja      43 ns
- Tipična potrošnja struje      18 mA
- Napon napajanja      - 7.0V max
- Ulazni napon      od -0.5 do +5.5 V
- Ulazna struja      od -30 do +5 mA
- Radna temperatura      0 - 70 °C
- Širina impulsa      40 ns - 40 s

Na slici 9.2 prikazana je logička šema integriranog monostabilnog multivibratora 74121, a na slici 9.3 dijagrami napona.

U stabilnom stanju signal B je na logičkoj nuli, pa je nivo izlaznog signala kola G<sub>5</sub> (W) nizak. U stabilnom stanju kroz kondenzator ne teče struja, već struja ide kroz otpornik R u bazu tranzistora invertora G<sub>2</sub>. Tranzistor je u zasićenju, napon na ulazu invertora je V<sub>2</sub> (2t<sub>pd</sub>) = 0.75V, dok je napon na izlazu invertora nizak, zbog

čega je i signal  $V_3$  na logičkoj nuli. Signal  $V_1$  je na nivou logičke jedinice, izlaz  $Q$  je u stanju logičke nule, a izlaz  $\bar{Q}$  u stanju logičke jedinice.

Pozitivni impuls u trenutku  $t = 0$  izaziva porast signala  $W$  posle kašnjenja  $t_{pd}$  i pad signala  $V_1$  posle vremena  $2t_{pd}$ . Ulaz invertora  $G_2$  je kapacitivno spregnut sa izlazom kola  $G_4$ , pa će promena napona  $V_2$  biti ista kao promena napona  $V_1$ :

$$\Delta V_2 = V_{IH} - V_{IL} = 3.3V \quad (9.1)$$

Pad napona na ulazu invertora  $G_2$  izazvaće porast napona na ulazu kola  $G_3$  u trenutku  $t = 3t_{pd}$ . U istom trenutku dolazi do porasta napona na izlazu  $Q$ , tako da napon  $V_3$  poraste na nivo logičke jedinice u trenutku  $t = 4t_{pd}$ , dok se izlaz  $\bar{Q}$  postavlja na nivo logičke nule. Kočenjem tranzistora u invertoru  $G_2$ , struja kroz otpornik  $R$  počinje da puni kondenzator  $C$  i napon  $V_2$  počinje eksponencijalno da raste sa vremenskom konstantom  $\tau = R \cdot C$ . Kada napon  $V_2$  dostigne 0.65 V, invertor  $G_2$  provodi u trenutku  $T_0$ . Usled toga  $V_3$  pada na nivo logičke nile u trenutku  $t = T_0 + 2t_{pd}$ . Ova promena dalje izaziva promenu napona  $V_1$  u trenutku  $t = T_0 + 3t_{pd}$ , promenu izlaza  $Q$  u trenutku  $t = T_0 + 4t_{pd}$  i  $\bar{Q}$  u trenutku  $t = T_0 + 5t_{pd}$ . Trajanje impulsa na izlazu može se odrediti iz jednačine:

$$T \approx 0.7RC + 4t_{pd} \quad (9.2)$$

Posle završetka impulsa na izlazu, potrebno je izvesno vreme da se kolo vrati u stabilno stanje. Za to vreme na kondenzatoru se uspostavlja napon koji vlada u stabilnom stanju. Ova promena se odvija vrlo brzo, zato što je vremenska konstanta promene napona na kondenzatoru  $\tau_2 = r \cdot C$  mala, gde je  $r$  zbir izlazne otpornosti kola  $G_4$  i ulazne otpornosti kola  $G_2$ . U vezi sa tim, definiše se dozvoljeni odnos impuls/pauza:

$$D_C = \frac{T_H}{T_H + T_L} \cdot 100 \% \quad (9.4)$$

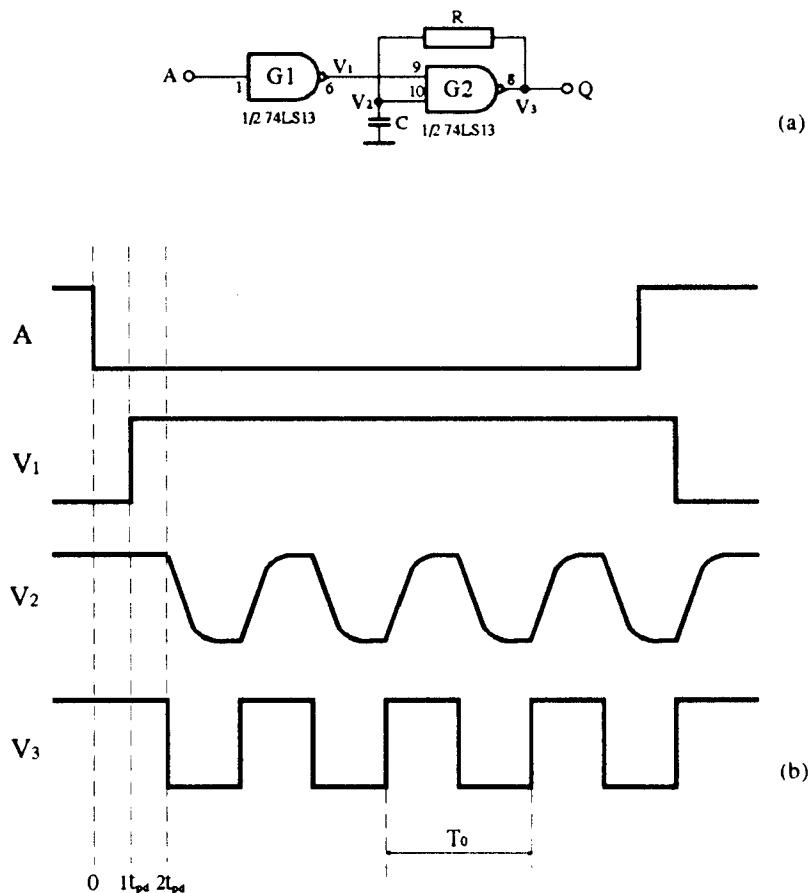
gde je  $T_H$  vreme trajanja generisanog impulsa, dok je  $T_L$  vreme povratka kola u stabilno stanje. Ukoliko se prekorači dozvoljeni odnos impuls/pauza, monostabilni multivibrator još uvek funkcioniše, ali trajanje impulsa nije stabilno. Nestabilnost trajanja impulsa se naziva džiter (jitter). U tabeli 9.1 prikazana su stanja ulaza i izlaza kola 74121.

tabela 9.1 Funkcionalna tabela kola 74121

ULAZI			IZLAZI	
$\bar{A}_1$	$\bar{A}_2$	B	Q	$\bar{Q}$
I	X	H	L	H
X	L	h	L	H
X	X	L	L	H
H	H	X	L	H
H	l	H	□	l
l	H	H	□	l
l	l	H	□	l
L	X	l	□	l
X	L	l	□	l

## 10.Astabilni multivibrator

Astabilni multivibrator se može realizovati pomoću kola 7413, koje sadrži dva "NI" logička kola sa Šmitovim ulazima, kao što je prikazano na slici 10.1a.



slika 10.1 a) Astabilni multivibrator sa NI kolima i b) Naponski dijagram

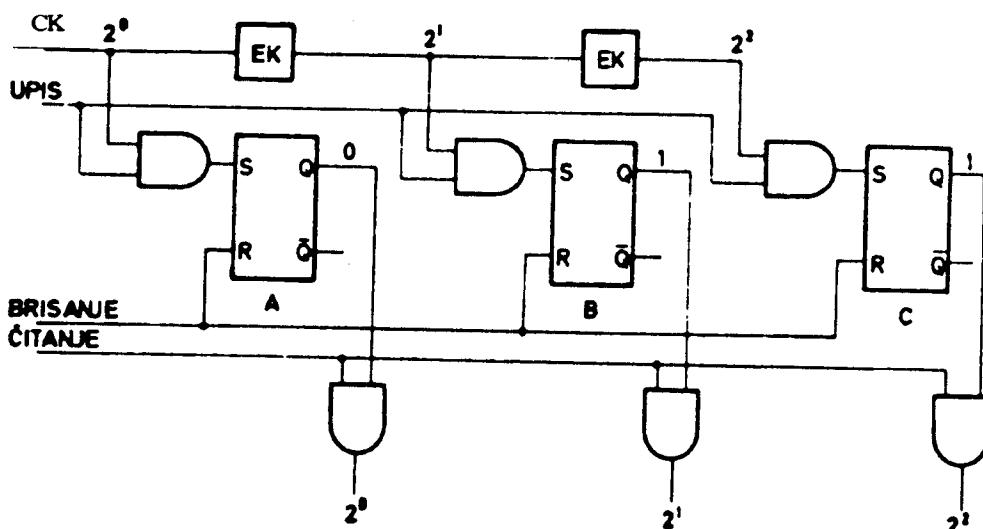
U početnom trenutku ( $t = 0$ ) kondenzator C je prazan, odnosno  $V_2 = 0$  V. Postavljanjem visokog naponskog nivoa na ulaz A, izlaz kola G<sub>1</sub> je na niskom naponskom nivou, usled čega se izlaz kola G<sub>2</sub> postavlja na visok naponski nivo. Usled toga, kondenzator se puni preko otpornika R, po zakonu  $V_2 = V_3 \cdot (1 - e^{-\frac{t}{RC}})$ , na nivo logičke jedinice. Kako je  $V_1$  na nivou logičke nule, neće doći do promene izlaza kola G<sub>2</sub>. Dovodenjem logičke nule na ulaz A, izlaz kola G<sub>1</sub> se postavlja na nivo logičke jedinice, tako da će izlaz kola G<sub>2</sub> biti određen procesima punjenja i pražnjenja kondenzatora C. Perioda impulsa  $T_0$  je određena vrednostima R i C.

## 11. Stacionarni register

Registrar je elektronsko kolo koje služi za privremeno memorisanje podataka. Njegova prvenstvena uloga je da prihvati delimične ili konačne rezultate u procesu obrade podataka. Osim toga, registrar je potreban na svim mestima gde treba ostvariti vezu između blokova sa različitim brzinama. Registrar se koristi i za izvodjenje nekih aritmetičkih operacija. Po načinu izvodjenja, postoje stacionarni i dinamički registri, zavisno od toga da li jednom uneta informacija u memorijski element ostaje stalno u njemu ili ne [1].

Stacionarni registrar sadrži skup međusobno nepovezanih memorijskih elemenata. Kapacitet regista zavisi od broja ovih elemenata. Pristup memorijskim elementima pri upisu i očitavanju podataka može da bude izведен serijski ili paralelno.

Na slici 11.1 prikazana je šema regista za 3 bita sa serijskim ulazom i paralelnim izlazom. Pre unošenja podataka u registor podrazumeva se da je izvršeno brisanje ranijeg sadržaja. To se vrši resetovanjem regista pomoću taktnog impulsa dovedenog na R ulaze flipflopova.

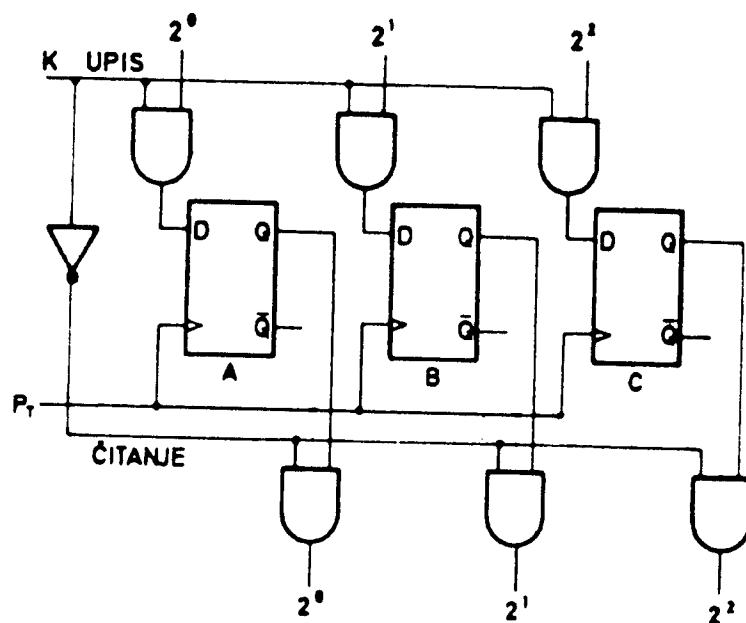


slika 11.1 Stacionarni register sa rednim ulazom

Pošto se radi o serijskom unošenju informacije, za upis trobitnog podatka biće potrebna tri taktna intervala. Na ulaz registora stiže povorka taktnih impulsa CK prema dатој информацији. Ови импулси прелазе put od једног до другог уписног "I" кола тачно у toku jednog taktnog intervala, што је podešено izborom elemenata za kašnjenje EK. Prema tome, na почетку трећег taktnog intervala на одговарајућим ulazima upisnih "I" kola за setovanje A, B i C flipflopova nalaziće se logičke vrednosti ulaznog 3-bitnog signala. Ako se u ovom trenutku da komanda za upis, flipflopovi će se setovati ili resetovati, u zavisnosti od ulazne informacije. Time je vremenski kod date informacije заменjen prostornim kodom, koji je određen pozicionim vrednostima pojedinih memorijskih elemenata. Ovakvo stacionarno stanje registora задржава се произволно дugo, sve do upisivanja nove informacije, којој prethodi brisanje постојећег sadržaja.

Pristup za čitanje sadržaja registra izveden je paralelno za sve memorijske elemente. Zbog toga, dovodenjem visokog naponskog nivoa na priključak za čitanje, na izlazima čitačkih "I" kola pojavljuje se istovremeno celokupna memorisana informacija. Prema tome, ovakav register predstavlja serijsko-paralelni konvertor informacije.

Registrar sa slike 11.1 može da se preuredi za paralelni prijem informacija na ulazu. Potrebno je samo izostaviti elemente za kašnjenje, tako da odgovarajući ulazi upisnih "I" kola postaju ulazi registra. Ovakav način upisivanja informacije obavlja se u jednom taktnom intervalu. Postupak unošenja podataka u register može da se ubrza ako se izbegne potreba prethodnog brisanja memorijskih kola. Šema takvog registra data je na slici 11.2. Ovaj register ima paralelne ulaze i izlaze, koji se aktiviraju kontrolnim signalom K. Kada je  $K = 1$ , signali na ulazima gornjih "I" kola upisuju se u odgovarajuće flipflopove, sinhronizovano sa taktnim impulsom  $P_T$ . Postavljanjem napona  $K = 0$  omogućava se čitanje podataka na donjim "I" kolima.

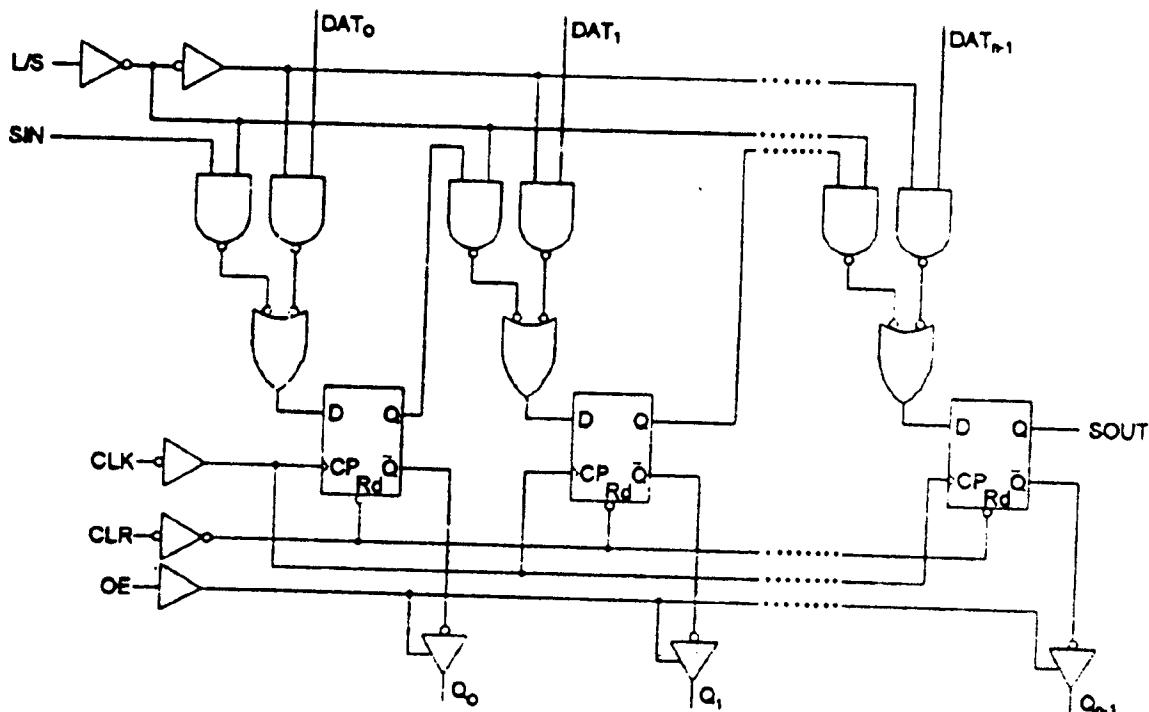


slika 11.2 Stacionarni register sa paralelnim ulazom

## 12.Pomerački registri

Pomerački registri su registri u kojima se zapamćena informacija taktnim impulsom pomera za jedno mesto. U pomeračkim registrima se mogu koristiti JK ili D flipflopovi ivičnog ili MS tipa. Integrisani pomerački registri uglavnom koriste ivične D flipflopove [2].

Većina pomeračkih registara koristi taktovan, odnosno sinhroni paralelni upis, kao na slici 12.1.



slika 12.1 Pomerački n-bitni register sa mogućnošću paralelnog upisa

Kada je kontrolni ulazni signal L/S (load/shift) u stanju  $L/S = 1$ , na D ulazima flipflopova je, preko dvoulaznih multiplexera realizovanih "N" kolima, prisutan logički nivo ulazne informacije  $D_i$ . Generisanjem takta u flipflopove se paralelno upisuje informacija sa  $D_i$  ulaza. Kada je  $L/S = 0$ , na D ulazima flipflopova je prisutan logički nivo  $Q$  izlaza prethodnog flipflopova, tako da se generisanjem takta, informacija upisana u register pomera za jedno mesto u desno. U flipflop  $Q_0$  aktivnom ivicom takta, upisuje se logički nivo ulazne promenjive SIN (serial-in). Register se može asinhrono resetovati signalom CLR, a signalom OE se aktiviraju izlazna trostatička kola (tabela 12.1).

tabela 12.1 Funkcionalna tabela pomeračkog registra sa slike 12.1

L/S	CLR	OE	Sledeće stanje				
			Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	...	Q <sub>n-1</sub>
x	x	0	Z	Z	Z		Z
x	0	1	0	0	0		0
1	1	1	DAT <sub>0</sub>	DAT <sub>1</sub>	DAT <sub>2</sub>		DAT <sub>n-1</sub>
0	1	1	SIN	Q <sub>0</sub>	Q <sub>1</sub>		Q <sub>n-2</sub>

Pomerački registri ovakvog tipa se proizvode kao integrisana komponenta sa 4 ili 8 flipflopova. Kaskadnim vezivanjem više četvorobitnih ili osmobilnih registara, može se formirati pomerački registar proizvoljne dužine. Kaskadno vezivanje se obavlja tako što se izlazni serijski priključak SOUT (serial-out) priključi na SIN priključak narednog pomeračkog registra. Ostali kontrolni signali (L/S, CLK, CLR i OE) se dovode paralelno na sva integrisana kola, koja čine jedan registar.

## 13.Koderi

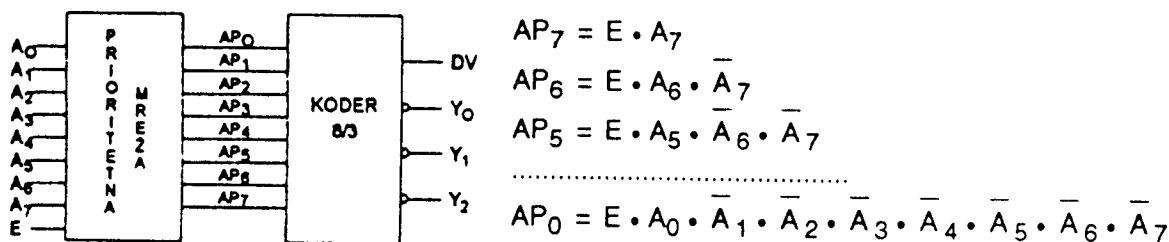
Da bi neka informacija mogla da se obraduje digitalnim sistemom, potrebno je da se ta informacija predstavi određenom kombinacijom nula i jedinica, odnosno treba da bude kodovana. Koderi se koriste, na primer, kod tastature kalkulatora ili računara, gde se prilikom aktiviranja bilo kog tastera, posredstvom odgovarajuće kombinacione mreže, generiše kombinacija nula i jedinica, koja odgovara tom tasteru, odnosno, generiše se kod karaktera koji taster predstavlja. Kombinaciona mreža koja obavlja ovu operaciju naziva se koder (engleski: "encoder"). Koderi mogu biti potpuni, odnosno binarni, kada imaju  $2^n$  ulaza i  $n$  izlaza i nepotpuni, kada je za  $n$  izlaza broj ulaza manji od  $2^n$ .

Kod, koji se generiše kodерима, može biti prirodnii binarni kod ili kod koji je zadat tabelom, gde svakom signalu, odnosno karakteru, odgovara određena kombinacija nula i jedinica, kao što je to slučaj sa alfanumeričkim kodovima.

### 13.1.Prioritetni koder

U slučaju da su istovremeno aktivna dva ili više ulaznih signala, koder će generisati pogrešan kod. To je slučaj kod računara na koji je priključeno  $2^n$  terminala. Računar prepoznaće koji je terminal poslao zahtev za opsluživanje (service request), time što se signal sa terminala koduje u informaciju od  $n$  bita, koju računar čita. Pošto postoji mogućnost da više terminala istovremeno pošalju zahtev za opsluživanje, potrebno je modifikovati mrežu kodera, tako da se ulaznim linijama odredi prioritet, pa ako se istovremeno pojavi više ulaza, na izlazu će se generisati kod ulaza sa najvišim prioritetom. Ovakav koder se naziva prioritetni koder [2].

Prioritetni koder se može sintetizovati korišćenjem običnog kodera i prioritetne mreže kao na slici 13.1. Prioritetna mreža treba da obezbedi da kad je aktivan signal dozvole E, bez obzira na broj aktivnih signala  $A_i$ , na izlazu postoji samo jedan aktivan signal  $AP_i$ . Za  $E = 0$  svi  $AP_i$  signali treba da su neaktivni. Ako se usvoji da je ulazni signal  $A_7$  najvišeg prioriteta, tada za prioritetu mrežu važe dole navedene relacije. Izlazni signal DV označava da su izlazi iz kodera važeći i koristi se prilikom kaskadnog vezivanja prioritetnih kodera u cilju povećanja broja ulaza.



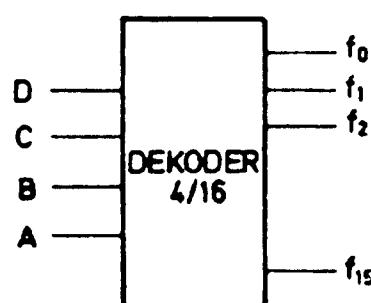
slika 13.1 Prioritetni koder

## 14. Dekoderi / demultiplexeri

Dekoderi su kombinacione mreže sa više ulaza i više izlaza, gde svaka dozvoljena kombinacija ulaznih promenjivih aktivira poseban izlaz. Dekoderi mogu biti potpuni, u kojima za  $n$  ulaznih promenjivih postoji  $2^n$  izlaznih funkcija i nepotpuni, gde je broj izlaznih funkcija manji od  $2^n$ , odnosno gde se odredjene kombinacije ulaznih promenjivih ne mogu pojaviti.

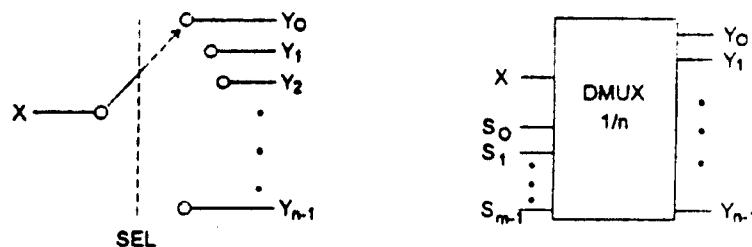
Potpuni dekoderi se često nazivaju i binarni dekoderi, pošto su ulazne promenjive binarno kodovani brojevi, a za svaku kombinaciju ulaznih promenjivih postoji jedan, i samo jedan, aktivan izlaz iz mreže. Sam postupak prevodjenja binarno kodovane informacije u neki pogodniji oblik za opštu upotrebu naziva se dekodovanje.

Dekoder 4/16 (slika 14.1) je kombinaciona mreža sa 4 ulaza i 16 izlaza. Kako se u jednom trenutku može koristiti signal samo sa jednog od 16 izlaza, to se takva mreža označava 1/16 i naziva se dekoder "1 od 16" [1]. Ulazi su označeni sa A, B, C i D, a izlazi su funkcije  $f_i$ .



slika14.1 Dekoder 4/16

Kombinaciona mreža koja obezbeđuje da se digitalni signal sa jednog ulaza može proslediti na  $n$  izlaza, naziva se demultiplexer (slika 14.2).



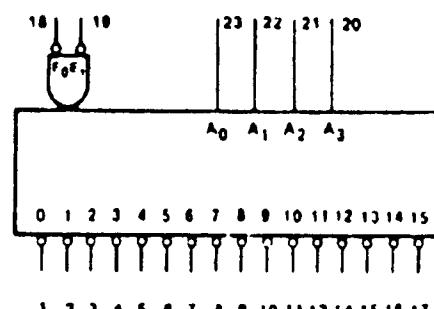
slika 14.2 Demultiplexer a) Logički simbol, b) Funkcionalna šema

Da bi se digitalnim signalima selektovao jedan od  $n$  izlaza, potrebno je  $m$  selekcionih signala, gde je  $n = 2^m$ . Informacioni ulaz X će biti prosledjen na jedan od izlaza  $Y_i$  u zavisnosti od adresnih vrednosti  $S_i$ . Ako bi informacioni ulaz imao stalnu

vrednost  $X = 1$ , onda se demultiplexer može koristiti kao dekoder. Zbog toga se ove komponente, najčešće, nazivaju dekoder / demultiplexer.

#### 14.1.Dekoder / demultiplexer 74LS154

74LS154 dekoder (slika 14.3) preko svoja četiri ulaza, koji su aktivni na visokom naponskom nivou, prihvata binarnu adresu i prosledjuje na 16 međusobno isključiva izlaza, koji su aktivni na niskom naponskom nivou. Proizvodjač deklariše da dva pomoćna ulaza omogućuju da se kratkotrajnim impulsom eliminišu neispravnosti - gličevi (glitches) na izlazima prilikom dekodovanja, ili se mogu koristiti za proširenje dekodera.



slika 14.3 Dekoder / demultiplexer 74LS154

tabela 14.1 Funkcionalna tabela kola 74LS154

Ulazi					Izlazi																
$E_0$	$E_1$	$A_3$	$A_2$	$A_1$	$A_0$	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	

Tehničke karakteristike kola 74LS154:

- Napon napajanja	max 7.0 V
- Ulazni napon	-0.5 do +7.0 V
- Ulazna struja	-30 do +1 mA
- Tipično propagaciono kašnjenje	15 ns
- Tipična potrošnja struje	9 mA
- Faktor grananja:	10 LS jediničnih opterećenja
- Radna temperatura	0 - 70 °C

## 15. Digitalno-analogna konverzija

Nakon digitalne obrade, ponekad je potrebno digitalno izraženu veličinu konvertovati u napon ili struju, na primer, da bi se odgovarajućim naponom (strujom) delovalo na sklopove sistema da obavljaju funkcije na način kako je digitalnim sistemom, odnosno cifarski izraženom veličinom definisano. Elektronska kola koja obavljaju ovu konverziju nazivaju se digitalno-analogni konvertori.

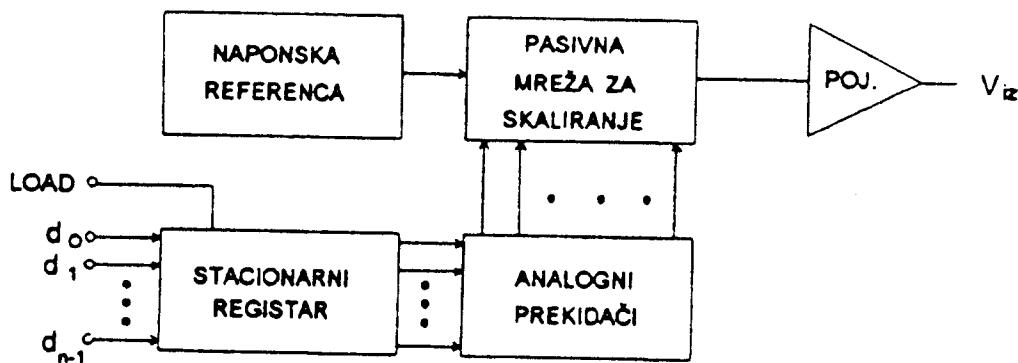
Proces D/A konverzije obuhvata dva postupka: dekodovanje i regenerisanje signala. Dekodovanje se sastoji u određivanju analognih vrednosti signala na osnovu datih kodnih reči u digitalnom obliku. Pod regenerisanjem se podrazumeva postupak formiranja kontinualnog, neprekidnog signala na osnovu dobijenih vrednosti u postupku dekodovanja. Matematički posmatrano, regenerisanje predstavlja aproksimaciju analognog signala nekim polinomom [1,2].

Konverzija digitalnih vrednosti u analogne svodi se na primenu dva principa: sabiranje komponenata struje ili integraljenje naponskih impulsa.

Realizacija D/A konvertora na principu sabiranja struja izvodi se pomoću otpornih mreža. Takve mreže se izvode kao težinska ili kao leštičasta, ali se upotrebljavaju i neke kombinacije ovih osnovnih struktura. U ovu grupu se ubrajaju i D/A konvertori sa skalovanjem napona ili nanelektisanja.

D/A konvertori na principu integraljenja impulsa izvode se na dva načina: korišćenjem pravougaonog napona sa promenjivim faktorima ispunе ili korišćenjem različite gustine impulsa.

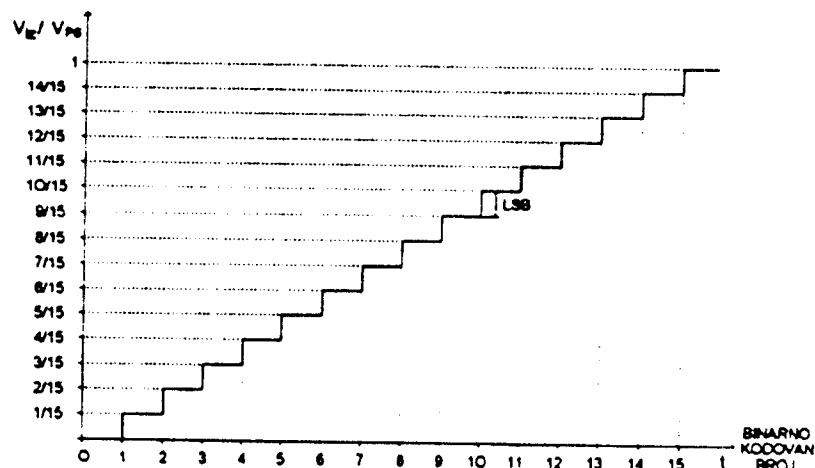
Da bi se ostvarila D/A konverzija, potrebno je obezbediti da, pored same funkcije konverzije, digitalna informacija bude prisutna na ulazu D/A konvertora za vreme dok je potrebno da izlazni napon (struja) zadrži konvertovanu vrednost i da izlazna analogna veličina bude što manje zavisna od ulaznih karakteristika potrošača koji koristi konvertovanu analognu veličinu. Da bi bili zadovoljeni svi navedeni zahtevi, D/A konvertor treba da sadrži registar za memorisanje digitalne informacije, izvor referentnog napona, mrežu pasivnih komponenti za skaliranje referentnog napona, skup analognih prekidača za izbor konfiguracije pasivne mreže u zavisnosti od ulazne digitalne informacije i izlazni analogni pojačavač za dovodenje izlaznog signala na željeni nivo i prilagodjavanje izlazne impedanse. Blok šema D/A konvertora prikazana je na slici 15.1



slika 15.1 Blok šema D/A konvertora

Svaki od D/A kovertora slike 15.1 unosi staticku ili dinamičku grešku, ili nepreciznost prilikom konverzije.

Idealna prenosna karakteristika za četvorobitni D/A kovertor prikazana je na slici 15.2.



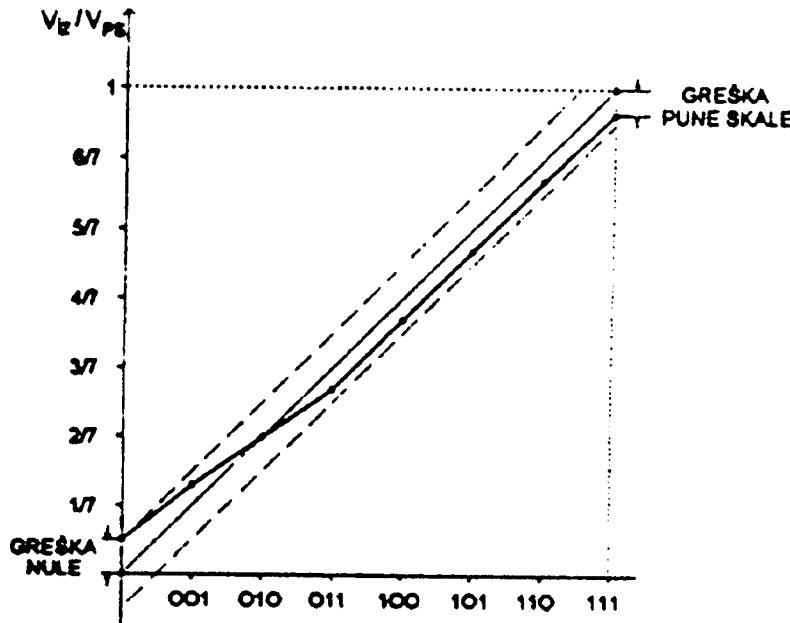
slika 15.2 Prenosna karakteristika idealnog D/A konvertora

Na apscisi prenosne karakteristike je vreme t u kome se, u jednakim vremenski intervalima, menja binarno kodovan broj od 0 (0000) do 15 (1111). Broj je formiran digitalnim signalima  $d_3$ ,  $d_2$ ,  $d_1$ , i  $d_0$ . sa slike 15.1. Na ordinati je vrednost izlaznog napona, normirana u odnosu na maksimalni izlazni napon, koji se naziva napon pune skale  $V_{PS}$ . Za svaku kombinaciju ulaznih digitalnih signala postoji samo jedna vrednost izlaznog napona. Razlika izlaznih napona koji odgovaraju susednim brojevima naziva se promena za jedan bit najmanje težine, tj. LSB (Least Significant Bit). Ukupan broj diskretnih vrednosti koje izlazni napon D/A kovertora može da zauzme se naziva rezolucija D/A kovertora. Ako se konvertuju binarni brojevi od n cifara,  $V_{IZ}$  teoretski, može imati  $2^n$  različitih vrednosti. Ako je šum izlaznog napona D/A kovertora po absolutnoj vrednosti veći od LSB, stvarna rezolucija je manja od  $2^n$ . Rezolucija binarnih D/A kovertora se često izražava brojem cifara n, umesto brojem nivoa izlaznih napona.

Svako odstupanje u odnosu na idealnu prenosnu karakteristiku prikazanu na slici 15.2 predstavlja grešku konverzije. Greške konverzije mogu biti statičke ili dinamičke.

Statičke greške unoše greške u linearnost D/A kovertora. Linearost se definiše kao maksimalno odstupanje izlaznog napona (za bilo koji kod ulaznih promenljivih) od prave linije povučene od nullog do proračunatog napona pune skale. Linearost se izražava u procentima opsega pune skale. Kada se izražava u frakcijama LSB naziva se absolutna linearnost.

Grafički prikaz absolutne linearnosti dat je na slici 15.3



slika 15.3 Grafički prikaz absolutne linearnosti

Isprekidanim linijama na slici 15.3 definisana je absolutna linearnost, koja iznosi  $\pm 1/2$  LSB. Odstupanje izlaznog napona od 0 za kod 0000 naziva se greška nule, a odstupanje na maksimalnoj vrednosti, greška pune skale.

Linearost se može definisati i u odnosu na pravu liniju koja je povučena između izmerenih vrednosti po kriterijumu da je absolutna vrednost rastojanja izmerenih vrednosti od prave minimalna. Ovakva linearost se naziva linearost optimalne prave (best-straight-line linearity).

Odstupanje nagiba optimalne prave od nagiba idealne karakteristike naziva se greška pojačanja. Presek optimalne prave sa naponskom osom definiše nulti offset.

Merenjem karakteristika kvalitetnijih D/A kovertora može se ustanoviti da je optimalna prava u većini slučajeva veoma bliska sa pravom povučenom kroz tačku izmerenog napona za nulti ulazni kod i tačku stvarno izmerenog napona pune skale. Linearost u odnosu na ovako povučenu pravu naziva se linearost krajnjih tačaka (end point linearity). S obzirom da je merenje jednostavnije, u praksi se linearost krajnjih tačaka mnogo češće koristi nego linearost optimalne prave.

Mera kvaliteta D/A kovertora je i diferencijalna linearnost. Diferencijalna linearnost je definisana kao maksimalno odstupanje susednih naponskih nivoa u odnosu na teoretsku, idealnu vrednost. Apsolutna vrednost razlike izlaznog napona dva susedna binarna broja od  $n$  cifara je u idealnom slučaju:

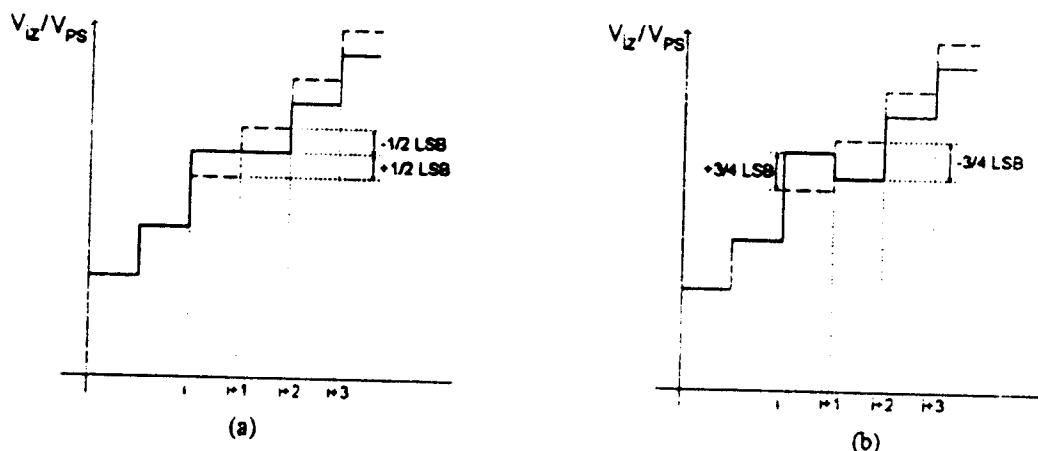
$$V_{LSB} = \frac{V_{PS}}{2^n - 1} \quad (15.1)$$

Medutim, zbog tolerancija korišćenih komponenti, promena izlaznog napona  $\Delta V$  može biti veća ili manja od  $V_{LSB}$ , tako da je diferencijalna linearnost DL definisana kao:

$$DL = \frac{\Delta V - V_{LSB}}{V_{LSB}} \quad (15.2)$$

i izražava se u frakcijama od  $V_{LSB}$ , odnosno od LSB.

Da bi izlazni napon D/A kovertora bio monotono rastuća funkcija kodovane brojne vrednosti, diferencijalna linearnost mora da bude bolja od  $\pm 1/2$  LSB. Na slici 15.4a prikazan je deo prenosne karakteristike D/A kovertora u kome diferencijalna linearnost iznosi  $\pm 1/2$  LSB, a na slici 15.4b diferencijalna linearnost je  $\pm 3/4$  LSB.



slika 15.4 Uticaj diferencijalne linearnosti na monotonost karakteristike

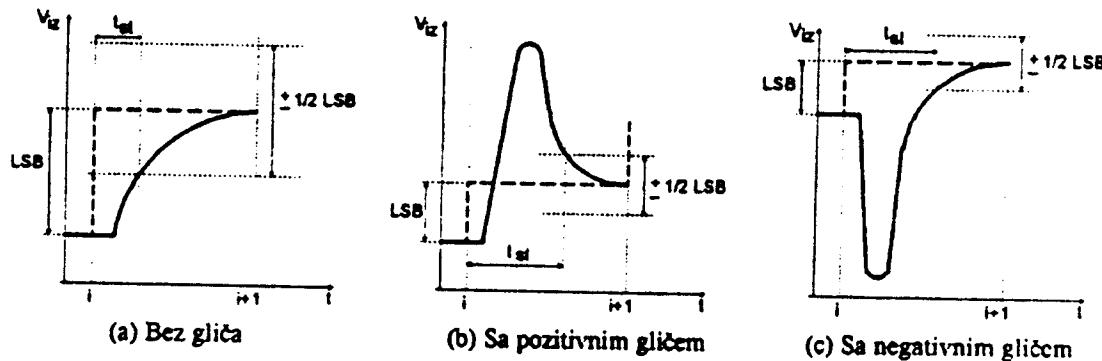
Zbog diferencijalne greške  $\pm 1/2$  LSB, kada je kodovan broj  $i$ , izlazni napon je zauzeo vrednost za 0.5 veću od nominalne, kako je prikazano na slici 15.4a. Ako je diferencijalna greška sledećeg broja  $-1/2$  LSB u odnosu na nominalnu vrednost, izlazni napon će zadržati istu vrednost. Ako je diferencijalna linearnost lošija od  $\pm 1/2$  LSB i ako je za dva susedna broja greška suprotnog znaka, dolazi do narušavanja monotonosti prenosne karakteristike, pošto je za veći broj na ulazu D/A kovertora napon na izlazu manji, kako je prikazano na slici 15.4b.

Pored linearnosti, važna karakteristika D/A kovertora je stabilnost. Stabilnost je funkcija temperature i vremena. Temperaturna stabilnost se izražava u frakcijama LSB /  $^{\circ}\text{C}$  ili ppm /  $^{\circ}\text{C}$ , a odnosi se na stabilnost pojačanja, linearnosti i ofseta. Dugoročna stabilnost (long term stability) se odnosi na stabilnost pojačanja, linearnosti i ofseta sa vremenom i najčešće se izražava u ppm/god. Kratkoročna stabilnost (short term stability) se izražava u ppm/h.

Dinamičke karakteristike D/A kovertora definišu vreme za koje, nakon promene ulazne informacije, izlazni napon dostigne zadatu vrednost. Ovo vreme se naziva vreme postavljanja  $t_{ST}$  (settling time) i definiše se, ili za marginalnu promenu (od 0 do  $V_{PS}$ ) ili za promenu ulazne informacije za 1 LSB. Vreme postavljanja D/A kovertora se računa od trenutka zadavanja nove digitalne vrednosti do trenutka kada se izlazni napon stabilisao na zadatu vrednost  $\pm 1/2$  LSB. Umesto vremena postavljanja, često se definiše vreme prekidanja  $t_{sw}$  (switching time) D/A kovertora. Vreme prekidanja je vreme od trenutka zadavanja digitalnog koda do trenutka kada  $V_{iz}$  dostigne 50% zadate vrednosti.

Karakteristično za dinamičku prenosnu karakteristiku D/A kovertora je pojava gliča na izlaznom naponu prilikom promene ulaznog koda za 1 LSB. Do pojave gliča dolazi zbog različite brzine prekidanja analognih prekidača u konvertoru.

Na slici 15.5 prikazana je dinamička prenosna karakteristika D/A kovertora za slučaj kada se ne pojavljuje glič (a), za slučaj kada se javlja pozitivan (b) i kada se javlja negativan glič (c). Isprekidanim linijom je prikazana idealna dinamička karakteristika.

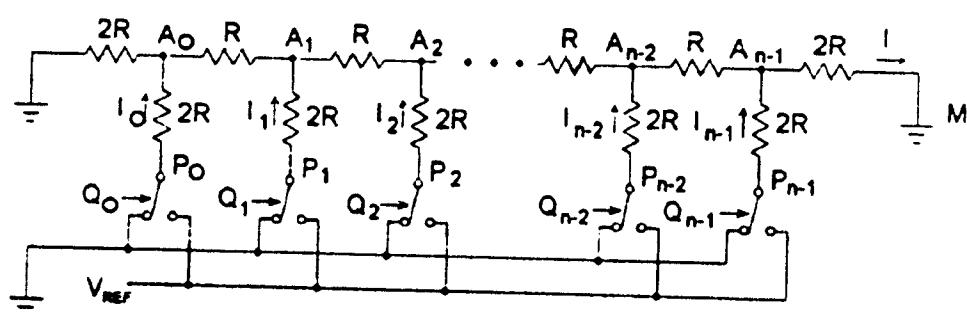


slika 15.5 Dinamičke karakteristike D/A konvertora

Gličevi se javljaju uvek kada više od jednog prekidača menja stanje. Gličevi su izraženiji kada se menjaju biti veće težine, a najveći se javlja kada se menja MSB (Most Significant Bit).

### 15.1. D/A konvertori sa lestvičastom mrežom

Lestvičasta otporna mreža je prikazana na slici 15.6, a dobila je naziv po svojoj sličnosti sa lestvicama.



slika 15.6 Lestvičasta otporna mreža

Kao što se sa slike vidi, u mreži se koriste samo dve vrednosti otpornika,  $R$  i  $2R$ . Mreža, teoretski, može da sadrži proizvoljan broj ćelija. Proširenje mreže se obavlja dodavanjem para otpornika  $R-2R$  po ćeliji. Mreža je, bez obzira na broj ćelija, zatvorena sa otpornicima  $2R$  prema masi.

Lestvičasta mreža ima osobinu da ekvivalentna otpornost svake grane prema masi iz svakog čvora  $A_i$  iznosi  $2R$ . Takođe je iz svake tačke  $P_i$  ekvivalentna otpornost

mreže  $3R$ . Ovo ima za posledicu da će, kada se bilo koji prekidač priključi na napon  $V_{REF}$ , kroz granu  $P_i - A_i$  teći struja istog intenziteta,  $I_i = V_{REF} / 3R$ . U svakom čvoru  $A_i$ , s obzirom da su otpornosti svih grana jednake, struja se deli na dve jednakе komponente.

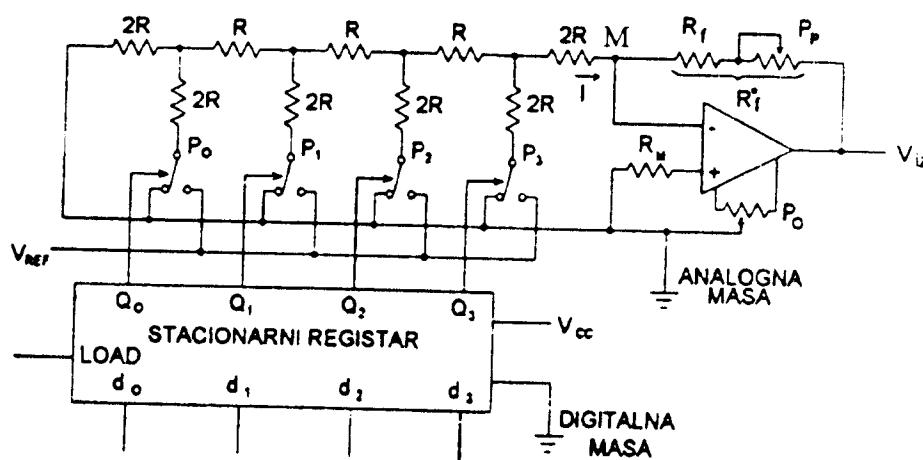
Struja kroz granu  $A_{n-1} - M$  ima vrednost:

$$I = \frac{V_{REF}}{6R} \cdot \frac{1}{2^{n-1}} \cdot [2^{n-1}Q_{n-1} + 2^{n-2}Q_{n-2} + \dots + 2^1Q_1 + 2^0Q_0] \quad (15.3)$$

gde  $Q_i = 1$  označava da je  $i$ -ti prekidač priključen na referentni napon, a  $Q_i = 0$ , da je priključen na masu.

Jednačina (15.3) pokazuje da je struja  $I$  proporcionalna binarnom broju čije cifre odgovaraju uključenom, odnosno, isključenom prekidaču.

Ako se tačka  $M$ , umesto na masu, priključi na virtualnu masu operacionog pojačavača, a upravljački signali prekidača na izlaz stacionarnog registra, dobija se D/A konvertor sa leštvičastom otpornom mrežom. Primer takvog četvorobitnog D/A konvertora prikazan je na slici 15.7.



slika 15.7 Četvorobitni D/A konvertor sa leštvičastom otpornom mrežom

D/A konvertor sa slike 15.7 koristi četvorobitnu leštvičastu mrežu za generisanje struje  $I$ , proporcionalne binarno kodovanom broju upisanom u stacionarni registar. Izlazni operacioni pojačavač struju  $I$  transformiše u napon:

$$V_{IZ} = -R_f \cdot I = -R_f \cdot \frac{V_{REF}}{6R} \cdot \frac{1}{2^3} \cdot [2^3Q_3 + 2^2Q_2 + 2^1Q_1 + 2^0Q_0] \quad (15.4)$$

Korišćeni operacioni pojačavač ima posebne priključke za podešavanje nultog ofseta, što se vrši potenciometrom  $P_0$ , a promena pojačanja se vrši potenciometrom  $P_p$ . Otpornik za eliminisanje uticaja struje ofseta ( $R_M$ ) treba da ima vrednost jednaku ekvivalentnoj vrednosti otpornosti gledano iz invertujućeg ulaza, što iznosi:

$$R_M = \frac{3R \cdot R_f}{3R + R_f} \quad (15.5)$$

Ako otpornost prekidača  $P_i$  iznosi  $r_i = r \pm \Delta r$ , tada se otpornici svih paralelnih grana mreže izradjuju da imaju vrednost  $2R - r$ , kako bi ukupna otpornost grane, uključujući i nominalnu otpornost prekidača, iznosila  $2R$ . Teži se da vrednost  $R$  bude što manja, kako bi vremenske konstante (sa parazitnim kapacitivnostima) bile male. Međutim, minimalnu vrednost za  $R$  ograničava tolerancija otpornosti prekidača  $\pm \Delta r$ . Minimalna vrednost za  $R$  se dobija iz uslova da se struja  $I$ , koja je generisana uključenim prekidačem u grani MSB ne promeni za više od  $1/4$  nominalne struje  $I$  koju generiše prekidač u grani LSB pri promeni ukupne otpornosti u grani MSB za  $\pm \Delta r$ , odnosno treba da bude zadovoljena nejednačina:

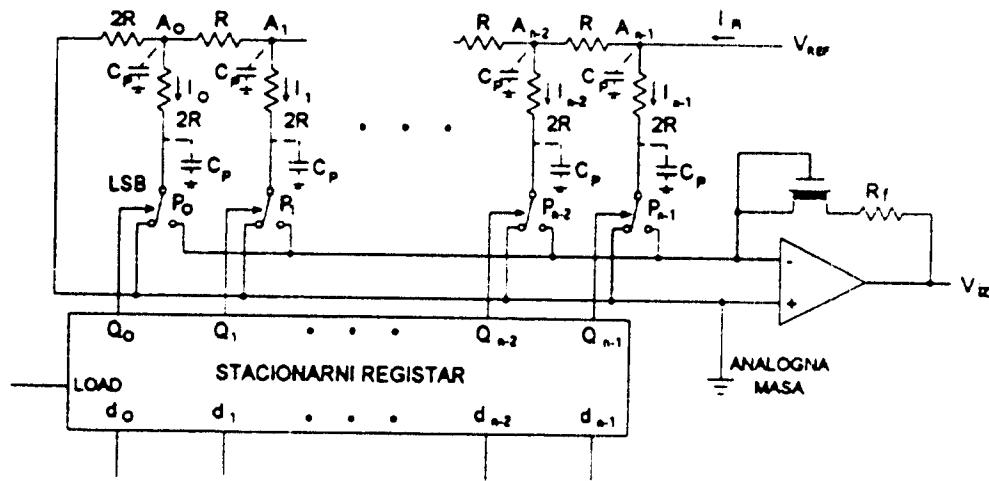
$$\frac{V_{REF}}{6R - \Delta r} - \frac{V_{REF}}{6R + \Delta r} \leq \frac{1}{4} \cdot \frac{V_{REF}}{2^{n-1} \cdot 6R} \quad (15.6)$$

Nakon zanemarivanja člana  $(\Delta r / R)^2$  iz nejednačine (15.6) se dobija:

$$2R \geq \frac{2}{3} \cdot 2^{n+1} \cdot \Delta r \quad (15.7)$$

Dinamičke karakteristike konvertora sa leštičastom mrežom su mnogo bolje od karakteristika D/A konvertora sa težinskom mrežom. Pored smanjenih parazitnih kapacitivnosti i manjih vrednosti otpornika u mreži, kraćem vremenu postavljanja doprinosi ujednačena brzina uključivanja i isključivanja prekidača, tako da su gličevi smanjeni. Svi prekidači prekidaju istu struju, a zbog jednakih otpornosti u mreži, vremenske konstante punjenja i pražnjenja parazitnih kapacitivnosti su približno iste. Gličevi ipak postoje zbog razlike u brzini flipflopova i prekidača, zbog izvesne razlike u parazitnim kapacitetima i zbog impulsnog opterećenja izvora referentnog napona. Poznato je da flipflopovi povuku veliku struju prilikom prebacivanja. Ova promena struje na, neizbežnoj, parazitnoj induktivnosti provodnika mase, indukuje napon koji bi mogao da prouzrokuje glič. Iz tog razloga se kod D/A konvertora obavezno razdvajaju analogna i digitalna masa, kao na slici 15.7. Analogna i digitalna masa se spaja samo na jednom mestu u elektronskom sistemu.

Na slici 15.8 je prikazan D/A konvertor sa poboljšanim dinamičkim karakteristikama, u odnosu na konvertor sa slike 15.7



slika 15.8 D/A konvertor sa kratkim vremenom postavljanja

Analogni prekidači u konvertoru na slici 15.8 priključuju paralelne grane leštičaste mreže na analognu ili virtualnu masu. Napon u tačkama  $P_i$  i  $A_i$  se ne menja prilikom prebacivanja prekidača, tako da nije potrebno nikakvo vreme za punjenje ili pražnjenje parazitnih kapacitivnosti, bez obzira na veličinu ili medjusobnu razliku u kapacitivnosti.

Izvor referentnog napona je uvek konstantno opterećen, bez obzira na položaj ili prebacivanje prekidača, tako da konačna unutrašnja otpornost izvora nema uticaja na stabilnost referentnog napona. Referentni napon nema gličeva koji bi produžili vreme postavljanja.

Napon na izlazu D/A konvertora je proporcionalan sumi struja priključenih na sumirajuću tačku:

$$V_{IZ} = -R_f \cdot (I_{n-1}Q_{n-1} + I_{n-2}Q_{n-2} + \dots + I_1Q_1 + I_0Q_0) \quad (15.8)$$

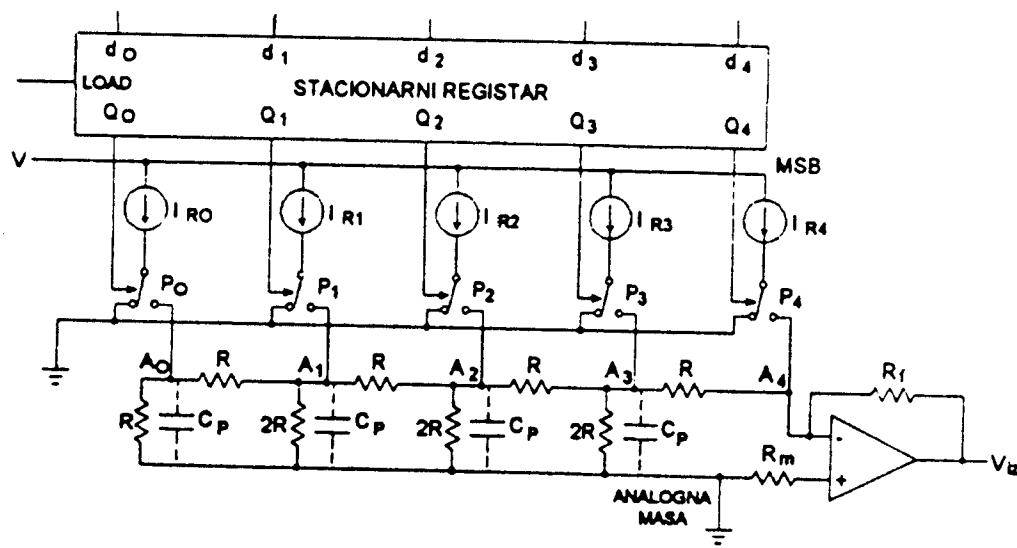
Zamenom vrednosti za struje u paralelnim granama, dobija se:

$$V_{IZ} = -\frac{R_f \cdot V_{REF}}{R} \cdot \frac{1}{2^n} \cdot (2^{n-1}Q_{n-1} + 2^{n-2}Q_{n-2} + \dots + 2^1Q_1 + 2^0Q_0) \quad (15.9)$$

D/A konvertor sa slike 15.8 ima nešto lošije statičke karakteristike od konvertora sa slike 15.7 zbog različitih struja u pojedinim delovima mreže. Struja kroz grane mreže na pozicijama veće težine su veće od struja na mestima manje težine. Odnos struja u grani MSB prema struji u grani LSB je  $2^{n-1}$ . Ovako velika razlika struja prouzrokuje različito zagrevanje otpornika i prekidača, dolazi do promene odnosa  $R$ ,  $2R$  i  $R_f$ , što kvari linearnost. Delimična kompenzacija temperaturne nestabilnosti se postiže rednom vezom MOSFET tranzistora sa ugradjenim kanalom sa otpornikom  $R_f$ . Prilikom porasta temperature raste otpornost prekidača, pojačanje se smanjuje, međutim, otpornost kanala takodje raste, povećava se ukupna otpornost povratne sprege pojačavača i kompenzira

se promena pojačanja. Uticaj promene temperature na diferencijalnu linearost se ne kompenzuje, s obzirom da se sa promenom otpornosti prekidača menja odnos R-2R.

Poboljšana diferencijalna linearost, a time i veća rezolucija, može se postići D/A konvertorima sa strujnim izvorima. Princip rada ovakvog D/A konvertora prikazan je na primeru petobitnog konvertora sa slike 15.9.



slika 15.9 D/A konvertor sa strujnim izvorima

Korišćena lestvičasta mreža se razlikuje od one sa slike 15.6 po tome što je mreža sa strane MSB zatvorena otpornošću  $R$  izmedju čvora  $A_3$  i vituelne mase, a sa strane LSB, takodje otpornošću  $R$ , na analognu masu. D/A konvertor sadrži poseban izvor referentne struje za svaki bit. Struje  $I_{Ri}$ , koju generišu strujni izvori, su međusobno jednakе, a prekidačima  $P_i$  se priključuju u čvorove  $A_i$  lestvičaste mreže. Izlazni napon je definisan jednačinom:

$$V_{IZ} = -R_f(Q_4 I_{q4} + Q_3 I_{q3} + Q_2 I_{q2} + Q_1 I_{q1} + Q_0 I_{q0}) \quad (15.10)$$

gde su  $I_{qi}$  komponente struje  $I_R$  koje utiču u sumirajući ulaz operacionog pojačivača, a  $Q_i$  stanja flipflopova stacionarnog registra. Kako je  $I_{q4} = I_R$ ,  $I_{q3} = I_R/2$ ,  $I_{q2} = I_R/4$ ,  $I_{q1} = I_R/8$  i  $I_{q0} = I_R/16$ , zamenom vrednosti za  $I_{qi}$  u jednačinu (15.10), dobija se:

$$V_{IZ} = -R_f \cdot I_R \left( \frac{1}{2} Q_3 + \frac{1}{4} Q_2 + \frac{1}{8} Q_1 + \frac{1}{16} Q_0 \right) \quad (15.11)$$

Za D/A konvertor od  $n$  cifara jednačina (15.11) može da se napiše u obliku:

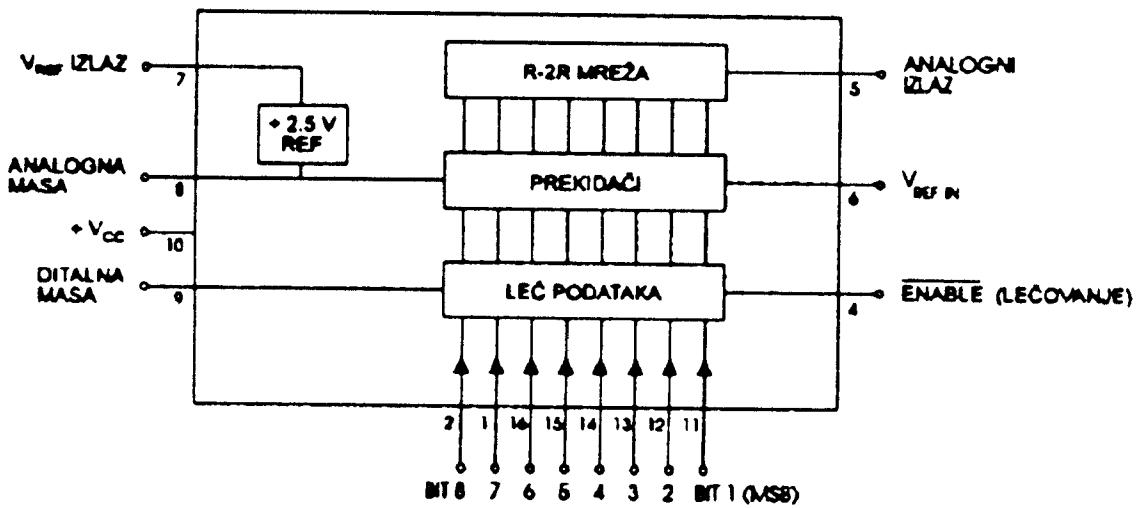
$$-\frac{R_f \cdot I_R}{2^{n-1}} (2^{n-1} Q_{n-1} + 2^{n-2} Q_{n-2} + \dots + 2^1 Q_1 + 2^0 Q_0) \quad (15.12)$$

Pošto je izlazna otpornost strujnih izvora veoma velika, a analogni prekidači su redno vezani sa strujnim izvorima, na komponente struja koje se formiraju otpornom mrežom radi generisanja izlaznog napona ne utiču otpornosti analognih prekidača. Ovim je odstranjen uticaj tolerancija i temperaturnih promena otpornosti prekidača, tako da se može postići veća diferencijalna linearnost nego kod ostalih tipova konvertora.

D/A konvertori sa strujnim izvorima su složeniji i skuplji od ostalih konvertora, s obzirom da je potreban poseban strujni izvor po svakom bitu. Međutim, na ovaj način se mogu realizovati konvertori sa najboljom diferencijalnom linearnošću.

### 15.2. D/A konvertor ZN 428

ZN 428 je osmobiljni D/A konvertor sa ulaznim lečom koji omogućava prihvatanje podataka sa magistrale podataka. Sadrži izvor referentnog napona od 2.56 V, koji može biti zamjenjen spoljnjim izvorom referentnog napona. Na slici 15.10 data je unutrašnja arhitektura ovog konvertora [9].



slika 15.10 Unutrašnja arhitektura kola ZN 428

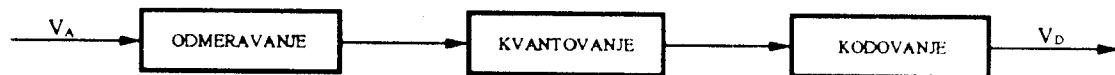
## Električne karakteristike

Parametar	Min.	Tip	Max.	Jedinica	Ustvari
<b>Referentni i internal napon</b>					
Izazni napon	2.475	2.550	2.625	V	$R_{REF} = 390\Omega$ $C_{REF} = 10\mu F$
$V_{REF\ OUT}$ T.C		50		ppm/°C	
Referentna struja	4		15	mA	
D/A konverter					
Gredka linearnosti			± 0.5	LSB	$2.0V \leq V_{REF\ IN} \leq 3.0V$
Diferencijalna nelinearost		± 0.5		LSB	
Oredika linearnosti T.C		± 3		ppm/ °C	
Diferencijalna nelinearost T.C		± 6		ppm/ °C	
Offset napon	2	3		mV	Svi bitovi na logičkoj nuli
Offset napon T.C		± 6		µV/ °C	
Maksimalni izazni napon	2.545	2.550	2.555		$V_{REF\ IN} = 2.560V$
Maksimalni izazni napon T.C		2		ppm/ °C	
Izazna otpornost		4		kΩ	
Spoljni referentni napon	0	3.0		V	
Napon napajanja ( $V_{CC}$ )	4.5	5.0	5.5	V	
Uzazna struja		20	30	mA	
Potrošnja		100		mW	
Logika					
Uzazni napon (visok nivo)	2.0			V	
Uzazni napon (nizak nivo)			0.8	V	
Uzazna struja (Visok nivo)			60	µA	$V_{IN} = 5.5V$ $V_{CC} = Max.$
			20	µA	$V_{IN} = 2.4V$
Uzazna struja (nizak nivo)			-5	µA	$V_{CC} = Max.$ $V_{IN} = 0.4V$ $V_{CC} = Max.$
Širina impulsa (ENABLE)	100			ns	

## 16. Analogno - digitalna konverzija

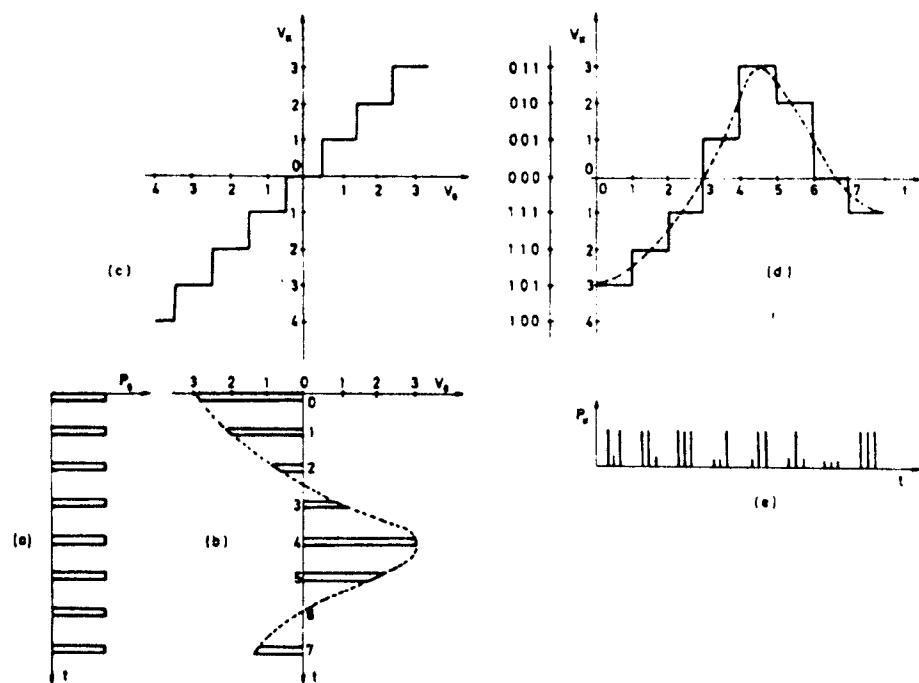
Analogno - digitalna konverzija je generisanje digitalno kodovanog broja, koji odgovara analognom ulaznom signalu. Elektronsko kolo, koje obavlja ovu konverziju, naziva se A/D konvertor [2].

Na slici 16.1 prikazani su u obliku blok - šeme konverzionali postupci, koji se koriste pri digitalizaciji analognih signala.



slika 16.1 Blok-šema analogno-digitalne konverzije

Analogni signal  $V_A$  uvodi se u A/D konvertor preko bloka za odmeravanje, u kom se vrši vremensko kvantovanje signala. U određenim vremenskim razmacima, pod dejstvom impulsa za odmeravanje  $P_0$ , formiraju se odgovarajući odmerci ("samples") analognog signala  $V_0$ , slika 16.2a i b. Ovako odabrane veličine signala mogu da imaju bilo koju vrednost, što znači da su odmerci, u suštini, analogni podaci. Zbog toga se oni dovode na blok za amplitudno kvantovanje, u kome se analogni odmerci prevode u najpriблиžniju diskretnu veličinu. Prenosna karakteristika ovog bloka data je na slici 16.2c. U ovom bloku se analogni signal  $V_0$  transformiše u kvantovan signal  $V_K$ , slika 16.2d.



slika 16.2 Ilustracija konverzionalih postupaka:

- |                              |   |
|------------------------------|---|
| a) impulsi odmeravanja       | c) prenosna karakteristika amplitudnog kvantizatora |
| b) odmerci analognog signala | d) kvantovan signal                                 |
|                              | e) kodovan signal                                   |

Zatim se kvantovani odmerci dovode u blok za kodovanje, u kome se diskretne veličine izražavaju numeričkim vrednostima. S obzirom na to da kvantovani odmerci na slici 16.2d imaju i pozitivne i negativne vrednosti, to je njihovo predstavljanje u digitalnoj formi izvedeno primenom notacije brojeva sa komplementom dvojke. To znači da su pozitivni odmerci predstavljeni pravim vrednostima, dok je za prikazivanje negativnih odmeraka korišćen drugi komplement. Na taj način je na slici 16.2e, pomoću odgovarajućih amplituda impulsa za logičke vrednosti 0 i 1, prikazan kodovan oblik, odnosno digitalna forma posmatranog analognog signala.

### 16.1 Osnovne karakteristike analogno - digitalne konverzije

Učinjene greške pri pretvaranju analognog u digitalni signal ne mogu se kasnije, u toku digitalne obrada podataka, popraviti. Zbog toga je tačnost, odnosno greška konverzije, jedan od najvažnijih parametara svakog konvertora.

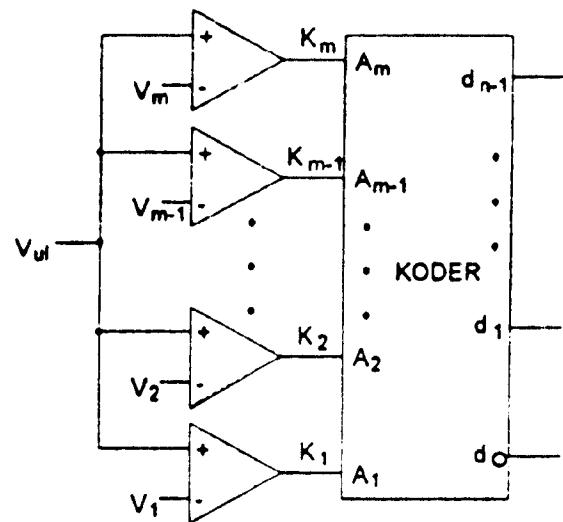
Grešku konverzije čine dva parametra: instrumentaciona i kvantizaciona greška. Instrumentaciona greška potiče od nesavršene izrade pojedinih kola u konvertoru. Kvantizaciona greška nastaje zbog nemogućnosti da se svaka analogna vrednost predstavi tačnom digitalnom vrednošću. Naime, analogni signali su kontinualni, pa u datom opsegu mogu da poseduju bilo koju od beskonačno mnogo vrednosti. S druge strane, digitalni signali su diskretni, pa je broj njihovih vrednosti u opsegu ograničen. Zbog toga, analogne veličine, uglavnom, mogu biti samo približno konvertovane u digitalni oblik. Greška koju pri tome treba očekivati zavisi od rezolucije, odnosno osetljivosti konvertorskog sistema. Rezolucija je najmanja promena napona koju konvertor može da registruje. Ako neki napon treba da se predstavi u digitalnoj formi sa  $n$  bitova, za to stoje na raspolaganju  $2^n$  diskretnih nivoa. Pošto je kvant ograničen sa dva susedna nivoa, to je njegova vrednost data izrazom:

$$V_{LSB} = \frac{V_{max}}{2^n - 1} \quad (16.1)$$

gde je  $V_{max}$  najveća vrednost konvertovanog napona ili napon pune skale  $V_{PS}$ . Greška kvantovanja biće manja što je veći broj bitova u kodnim rečima. Stoga se rezolucija konvertora često izražava brojem bitova sa kojima konvertor radi. Napon  $V_{LSB}$  je određen bitom najniže vrednosti, pa se označava sa LSB. Kvantizaciona greška konverzije je data sa  $\pm 1/2 V_{LSB}$  ili  $\pm 1/2$  LSB.

Drugi važan parametar konvertora je njegova brzina rada, odnosno vreme konverzije. To je vreme koje protekne od momenta dovodenja signala jednog oblika na ulaz konvertora, pa do trenutka dobijanja konvertovanog signala na njegovom izlazu. Kod A/D konvertora brzina konverzije ne zavisi samo od upotrebljenih kola i primenjenog konverzionog sistema, već i od veličine konvertovanog analognog signala. Pored tačnosti i brzine rada, konvertore karakterišu i mnogi drugi parametri kao što su: napon pune skale, digitalni nivo napona, ulazne i izlazne otpornosti, temperaturni opseg, dozvoljeni napon smetnji, elektična i mehanička stabilnost itd.

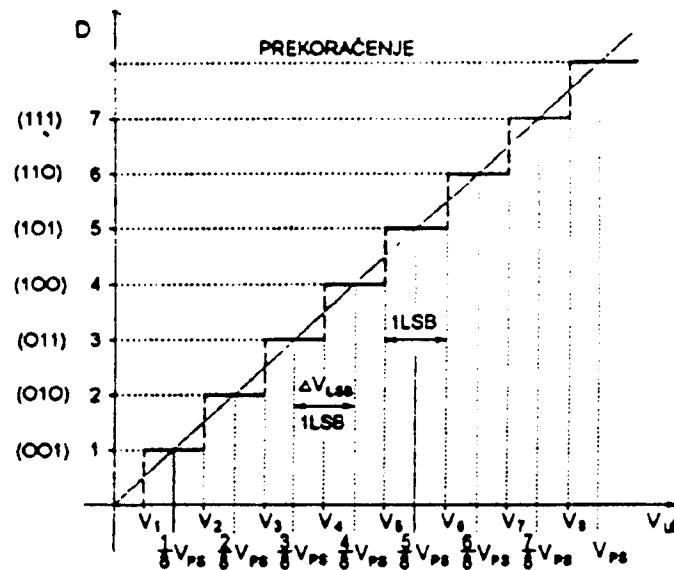
Ako se veličina analognog napona određuje sa većom preciznošću i predstavlja u digitalnom obliku, potrebno je porebiti ulazni napon sa više naponskih pragova, kao na slici 16.3.



slika 16.3 Principijelna šema A/D konvertora

Ako se naponi  $V_i$  rasporede ekvidistantno unutar naponskog opsega od 0 do  $V_{PS}$ , na osnovu komparatora  $K_i$  može da se odredi u kom se naponskom opsegu nalazi ulazni signal  $V_{ul}$ . Koder na slici 16.3 digitalnu informaciju sa komparatora koduje u digitalni broj izabranog binarnog brojnog sistema.

Na slici 16.4 prikazana je idealna prenosna karakteristika A/D konvertora sa slike 16.3 za slučaj da postoje 8 nivoa komparacije.



slika 16.4 Prenosna karakteristika idealnog A/D konvertora

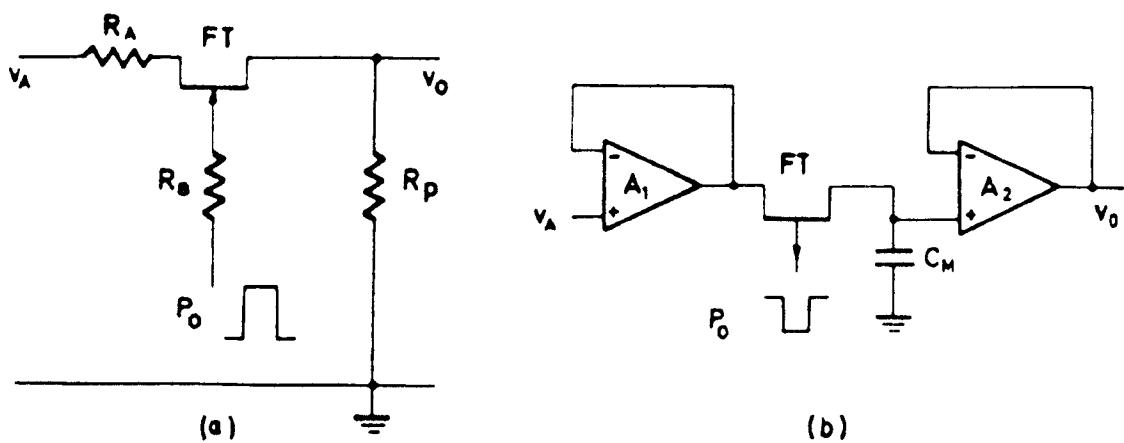
Ako se ulazni napon linearno menja od 0 do  $V_{PS}$ , izlazna digitalna informacija može da ima  $m + 1 = 9$  diskretnih stanja: 0, za  $V_{ul} < V_1$ ; 1, za  $V_1 < V_{ul} < V_2$ ; 2, za  $V_2 < V_{ul} < V_3$ ; 3, za  $V_3 < V_{ul} < V_4$ ; 4, za  $V_4 < V_{ul} < V_5$ ; 5, za  $V_5 < V_{ul} < V_6$ ; 6, za  $V_6 < V_{ul} < V_7$ ; 7, za  $V_7 < V_{ul} < V_8$  i "prekoračenje" za  $V_{ul} > V_8$ . Ako se stanje komparatora koduje u prirodni binarni broj, na izlazu kodera će se dobiti trobitna binarna informacija o veličini ulaznog napona ili signal "prekoračenje". Sistematska greška konverzije je  $\pm 1/2$  LSB.

Prenosna karakteristika na slici 16.4 prepostavlja ekvidistantno rasporedjene napone  $V_i$ , idealne komparatore bez histerezisa i nulto vreme propagacije signala kroz komparator i koder. Realna prenosna karakteristika će odstupati od idealne, tako da se pored već definisanih dinamičkih grešaka, mogu definisati i statičke greške, koje unosi realan A/D konvertor. U statičke greške spadaju: apsolutna linearost, greška (offset) nule, greška pune skale, greška pojačanja i diferencijalna linearost. U slučaju velike diferencijalne nelinearnosti, kada je narušena monotonost prenosne karakteristike, za A/D kovertore se češće koristi termin izgubljeni kod (missed code), umesto nemonotonost.

## 16.2. Kolo za odmeravanje

Kolo za odmeravanje treba da obezbedi prenošenje trenutne vrednosti signala sa ulaza na svoj izlaz samo u toku postojanja impulsa odmeravanja  $P_0$ . Najjednostavnije takvo kolo sastoji se od analognog prekidača, koji može da bude postavljen redno izmedju ulaza i izlaza, ili paralelno izlazu kola za odmeravanje. Za tu svrhu može da se upotrebni konvencionalni tranzitorski prekidač, koji treba da ima što manji pad napona u provodnom smeru. S obzirom na teškoće na koje se nailazi u nastojanju da se ovaj pad napona smanji, kao i nelinearnost tranzistora u oblasti zasićenja, kolo za odmeravanje se ostvaruje primenom prekidača sa unipolarnim tranzistorom. Ovakav prekidač je, u principu, simetričan, što znači da su uloge sorsa i drejna medjusobno izmenjive. Izlazne karakteristike ovih tranzistora za male vrednosti napona  $V_{DS}$  su linearne i prolaze tačno kroz koordinatni početak. Zbog toga se ovakav prekidač u oblasti malih napona  $V_{DS}$  ponaša kao linearna otpornost, čija vrednost zavisi od napona gejt - sors tranzistora.

Na slici 16.5a prikazano je kolo za odmeravanje, izvedeno sa JFET-om FT. Na ulazu kola priključen je analogni napon  $V_A$ , a na njegovom izlazu se dobija napon odmerka  $V_0$ . Uspostavljanje ovog napona omogućeno je samo kada je JFET u saturaciji, što se kontroliše impulsima odmeravanja  $P_0$ .



slika 16.5 Kolo za odmeravanje:

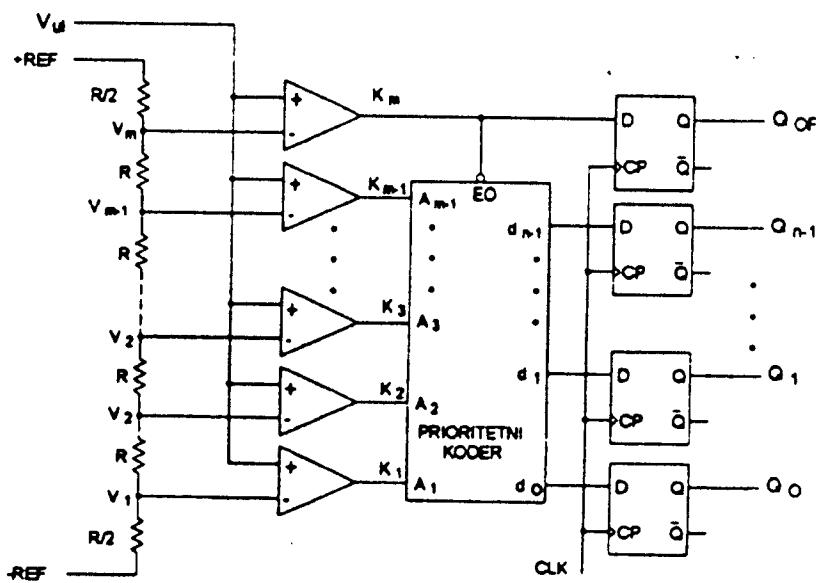
a) prekidač sa JFET-om, b) SH kolo

Faktor ispune napona odmeravanja je mali, što znači da je trajanje odmerka kratko. Pošto je kvantovanje odmerka dosta duže, potrebno je da se izvrši registrovanje amplitude odmerka u nekom kolu za pamćenje. To znači da, pored uzimanja odmerka, treba obezbediti i njegovo zadržavanje. Te dve funkcije se obavljaju pomoću SH kola (Sample - and - Hold). Ovde se radi o privremenom pamćenju analogne vrednosti odmerka, pa je ovo kolo, u suštini, analogni registar. Ovo kolo mora da ima mogućnost upisivanja analognog podatka u memorijsku ćeliju i mogućnost čitanja sadržaja ćelije. Memorijsku ćeliju u ovom registru čini kondenzator  $C_M$ . Operacioni pojačivači, čija su pojačanja  $A_1 = A_2 = 1$ , imaju ulogu radvojnih stepena. Prvi stepen predstavlja malo opterećenje za izvor analognog napona  $V_A$ , a drugi za memorisani sadržaj u kapacitivnosti  $C_M$ . S druge strane, mala izlazna otpornost pojačavača  $A_1$  omogućava brzo upisivanje vrednosti odmerka, koji se preko prekidača FT unosi u memorijsku ćeliju posredstvom impulsa odmeravanja  $P_0$ . Dakle, uspostavljanje odgovarajućeg nanelektrisanja u kondenzatoru  $C_M$  vrši se samo u toku kratkotrajnog impulsa  $P_0$ . U znatno dužem periodu izmedju impulsa  $P_0$  formirano nanelektrisanje u kondenzatoru se održava na konstantnom nivou, tako da se može dovoljno dugo očitavati na izlazu pojačavača  $A_2$  kao napon odmerka.

Memorijska ćelija u analognom registru je dinamičkog tipa, jer se memorisana veličina u njoj smanjuje kao posledica postepenog pražnjenja kondenzatora  $C_M$ . Da bi se memorisani sadržaj što vernije sačuvao potrebno je odabrati što kvalitetniji prekidački element, operacioni pojačavač i memorijski kondenzator. Često je potrebno da se primene i neke kompenzacione mere u cilju smanjivanja greške memorisanja, nastale kao posledica promene temperature, postojanja rasipnih kapacitivnosti, raznih odvodnih struja itd. Umesto JFET-ova mogu da se upotrebe i MOSFET-ovi. U pogledu konstantnosti odvodnih otpornosti još su pogodniji bilateralni CMOS prekidači.

### 16.3. A/D konvertori sa paralelnim komparatorima

Konvertori sa paralelnim komparatorima spadaju u klasu najbržih A/D konvertora. Principijelna šema takvog konvertora prikazana je na slici 16.6



slika 16.6 A/D konvertor sa paralelnim komparatorima

Za realizaciju konvertora od  $n$  bita porebno je  $m = 2^n$  komparatora, ako je potrebno da se generiše signal prekoračenja, odnosno  $2^n - 1$  komparatora ako signal prekoračenja nije potreban. Niz naponskih pragova se formira otpornim lancem.

Kada se za konverziju koristi samo jedan konvertor sa slike 16.6, kraj lanca označen sa  $-REF$  se priključuje na masu, a priključak  $+REF$  se priključuje na referentni napon. Da bi greška kvantizacije bila  $\pm 1/2$  LSB, otporni lanac je sa obe strane završen otpornicima  $R/2$ . Pad napona na svakom otporniku  $R$  odgovara promeni ulaznog napona za 1 LSB.

Napon  $i$ -tog praga se računa pod pretpostavkom da je ulazna otpornost komparatora beskonačno velika i dat je izrazom:

$$V_i = \frac{V_{REF}}{m} \left( i - \frac{1}{2} \right) \quad (16.2)$$

gde je  $m$  broj naponskih pragova, odnosno broj komparatora.

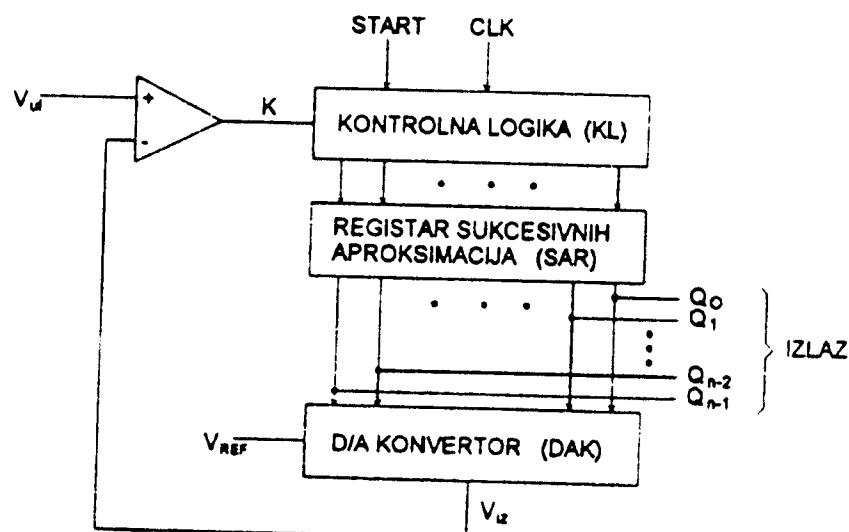
Kodovanje izlaznog binarnog broja se obavlja prioritetnim kodjerom. Najviši prioritet u kodjeru ima signal  $K_{m-1}$ , a najniži  $K_1$ . Ako se ulazni napon nalazi u opsegu  $V_i < V_{ul} < V_{i+1}$ , svi komparatori sa indeksom  $j \leq i$  će imati izlaz na logičkom nivou  $K_j = 1$ , tako da će prioritetni kodjer da koduje broj  $i$ . Izlazna informacija se taktnim impulsom CLK upisuje u izlazni registar A/D konvertora. Maksimalni napon koji konvertor može da konvertuje sa greškom od  $\pm 1/2$  LSB je napon  $V_{m-1} < V_{ul} < V_m$ . U slučaju da je ulazni napon veći od  $V_m$ , postaje  $K_m = 1$ , zabranjuje se izlaz prioritetnog kodera, a u

flipflop za prekoračenje se upisuje  $Q_{OF} = 1$ . Da bi A/D konvertor imao zadovoljavajuću linearnost, komparatori moraju imati temperaturno stabilni, praktično nulti, naponski offset i vrlo veliku ulaznu otpornost. Zbog toga se koriste komparatori sa automatskom kompenzacijom ofseta.

Vreme konverzije komercijalno raspoloživih brzih A/D konvertora je od 5 ns do 30 ns.

#### 16.4. A/D konvertori sa sukcesivnim aproksimacijama

Kratko vreme konverzije koje obezbeđuju A/D konvertori sa paralelnim komparatorima nije uvek kriterijum koji je presudan za izbor konvertora. U slučaju da je potrebna velika rezolucija konvertora, a da se napon koji se konvertuje relativno sporo menja, u cilju ekonomičnije realizacije A/D konvertora primenjuju se različiti metode konverzije kako bi se smanjio broj elektronskih kola potrebnih za formiranje konvertora zadate rezolucije. Za srednje brzine konverzije koriste se A/D konvertori sa sukcesivnim aproksimacijama. Postoji više načina da se izvede A/D konverzija primenom postupka sukcesivne aproksimacije. U svakom od tih načina mora biti upotrebljen komparator, generator potrebnih etalonskih vrednosti i složena kontrolna logika. Principijelna šema A/D konvertora sa sukcesivnim aproksimacijama prikazana je na slici 16.7



Slika 16.7 A/D konvertor sa sukcesivnim aproksimacijama

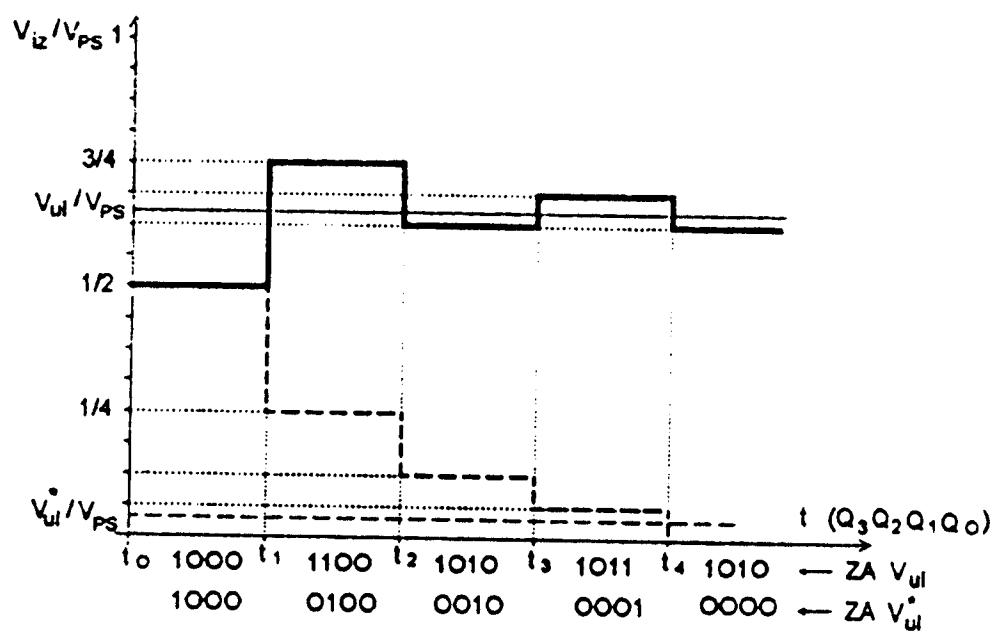
Komparator je diferencijalnog tipa, najčešće izведен sa operacionim pojačavačem. Na njega se dovodi analogni napon  $V_{ul}$  s jedne strane i referentni naponi kao etaloni za uporedjivanje s druge strane. Referentni naponi se dobijaju iz D/A konvertora. Najsloženije blokove predstavljaju kontrolna logika za sprovođenje postupaka konverzije i registar sukcesivnih aproksimacija, pomoću kojih će se određenim redosledom dovoditi određeni nivoi napona na D/A konvertor radi dobijanja etalonskih vrednosti.

Maksimalni ulazni napon  $V_{ulmax}$ , koji se može priključiti na konvertor je

$V_{ulmax} = V_{PS}$ . Pojačanje D/A konvertora je podešeno tako da je maksimalni izlazni napon  $V_{IZ}$  iz D/A konvertora za 1 LSB manji od napona  $V_{PS}$ . Pod navedenim uslovima D/A konvertor će, kada je MSB bit postavljen na 1 ( $Q_{n-1} = 1$ ), a svi ostali na 0, generisati napon  $V_{IZ} = V_{PS}/2$ . Sledeći bit,  $Q_{n-2} = 1$ , ima težinu  $V_{PS}/4$ , odnosno pošto se radi o binarnom A/D konvertoru, svaki sledeći bit ima upola manju težinu od prethodnog.

Konverzija počinje tako što nakon priključenog  $V_{ul}$  kontrolna logika postavi logičku jedinicu u bit najveće težine registra sukcesivnih aproksimacija ( $Q_{n-1} = 1$ ). D/A konvertor generiše napon  $V_{IZ} = V_{PS}/2$ , koji se poredi sa  $V_{ul}$ . Ako je  $V_{ul} > V_{PS}/2$ , MSB bit digitalnog ekvivalenta napona  $V_{ul}$  je 1, a ako je  $V_{ul} < V_{PS}/2$ , tada treba da bude  $Q_{n-1} = 0$ . Kontrolna logika na osnovu izlaza komparatora resetuje ( $K = 0$ ) ili ne ( $K = 1$ ) MSB flipflop u registru sukcesivnih aproksimacija (SAR), čime je definisan bit  $Q_{n-1}$  izlazne informacije, a zatim postavlja  $Q_{n-2} = 1$ . Komparator poredi novu vrednost  $V_{IZ}$  ( $V_{PS}/4$  ili  $3V_{PS}/4$ ) sa  $V_{ul}$ , a zatim kontrolna logika na osnovu izlaza komparatora resetuje ili ne flipflop  $Q_{n-2}$ , čime je definisana vrednost bita  $Q_{n-2}$ , a postavlja bit  $Q_{n-3}$ , koji ima težinu upola manju od  $Q_{n-2}$ . Proses poređenja i postavljanja narednih flipflopova se nastavlja sve do bita najmanje težine  $Q_0$ . U zavisnosti od logičkog nivoa komparatora,  $Q_0$  se resetuje ili ostaje na nivou  $Q_0 = 1$ . Time je konverzija završena.

Kao primer na slici 16.8 prikazan je vremenski dijagram napona  $V_{IZ}$  idealnog četvorobitnog A/D konvertora sa sukcesivnim aproksimacijama. Pretpostavljeno je da je na ulazu A/D konvertora napon  $10/16 < V_{ul}/V_{PS} < 11/16$ .



slika 16.8 Promena napona D/A konvertora prilikom A/D konverzije

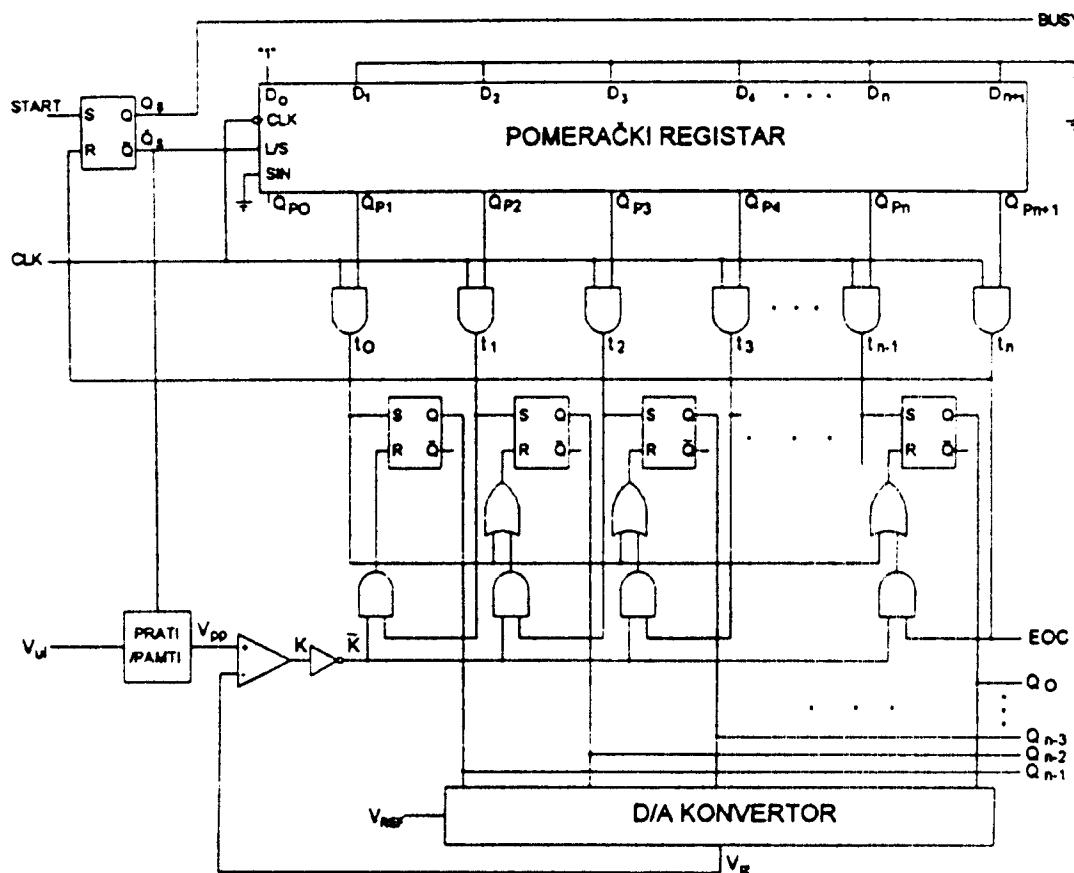
Konverzija počinje postavljanjem koda 1000 u SAR. Izlazni napon D/A konvertora se postavlja na  $V_{IZ} = V_{PS} / 2$ . Kako je  $V_{ul} > V_{PS} / 2$  (puna linija na slici 16.8), na osnovu  $K = 1$ , u trenutku  $t_1$  kontrolna logika ne resetuje  $Q_3$ , čime je određen MSB bit izlazne informacije, postavlja  $Q_2 = 1$ , tako da je kod upisan u SAR 1100, a izlazni napon D/A konvertora se posavljaju na  $V_{IZ} = 3V_{PS} / 4$ . Sada je  $V_{ul} < V_{IZ}$ , kontrolna logika u trenutku  $t_2$  na osnovu  $K = 0$  resetuje  $Q_2$  i (bezuslovno) postavlja  $Q_1 = 1$ . Ovim je određena i druga cifra izlazne digitalne informacije. SAR je postavljen u stanje 1010, a  $V_{IZ} = 5V_{PS} / 8$ . Pošto je  $V_{ul} > V_{IZ}$ ,  $K = 1$  zabranjuje da kontrolna logika resetuje  $Q_1$ . U trenutku  $t_3$  postavlja se  $Q_0 = 1$ , tako da je u SAR stanje 1011. U trenutku  $t_4$  se, na osnovu  $K = 0$ , resetuje  $Q_0$ , tako da je konačan rezultat konverzije koji je ostao u SAR  $Q_3Q_2Q_1Q_0 = 1010$ , što je najbliži binarni broj koji odgovara ulaznom naponu.

Na slici 16.8 isprekidanim linijom je prikazan tok konverzije napona  $V_{ul} < V_{PS} / 16$ . Nakon četiri koraka sukcesivnih aproksimacija, kao rezultat konverzije se dobija stanje  $Q_3Q_2Q_1Q_0 = 0000$ .

Na osnovu sprovedene analize funkcionisanja A/D konvertora sa sukcesivnim aproksimacijama mogu se definisati uslovi za sintezu SAR i kontrolne logike:

1. Konverzija analognog signala u digitalni binarno kodovani broj od  $n$  cifara se obavlja u  $n + 1$  taktnom intervalu, od kojih prvi ( $t_0$ ) inicijalizuje sekvencu sukcesivnih aproksimacija, a poslednji ( $t_n$ ) označava kraj konverzije.
2. Start konverzije se zadaje asinhrono u odnosu na taktni impuls A/D konvertora.
3. Vreme između dva susedna taktna impulsa treba da je dovoljno dugačko kako bi isteklo vreme postavljanja D/A konvertora i kašnjenja kroz komparator i kontrolnu logiku.
4. Korišćeni  $n$ -bitni D/A konvertora mora imati monotono rastuću prenosnu karakteristiku.
5. Flipflopovi SAR treba da imaju mogućnost pojedinačnog postavljanja i resetovanja.
6. Ulazni napon  $V_{ul}$  ne sme da se menja u toku konverzije, s obzirom da se flipflopovi postavljaju bit po bit, a već postavljeni flipflopovi, u slučaju promene  $V_{ul}$ , ne mogu da promene stanje.

Na slici 16.9 prikazana je logička šema A/D konvertora sa sukcesivnim aproksimacijama.



slika 16.9 Logička šema A/D konvertora sa sukcesivnim aproksimacijama

Za vreme dok konverzija nije u toku, stanje SR leča  $\bar{Q}_S = 1$  drži pomerački registar u režimu paralelnog upisa ( $L/S = 1$ ), tako da svaki CLK (takt) impuls u registar upisuje stanje 100...00. SAR je formiran od SR leč kola. Dok konverzija nije u toku, kako je samo  $Q_{P0} = 1$ , ne generišu se taktni impulsi za SAR.

Početak konverzije se zadaje signalom START koji postavlja  $Q_S = 1$ . Pomerački registar se prebacuje u režim pomeranja, a SH kolo ("Prati - Pamti" kolo) u režim "HOLD", čime se zamrzava trenutna vrednost  $V_{ui}$ . Sledeći CLK impuls opadajućom ivicom pomera jedinicu sa pozicije  $Q_{P0}$  na  $Q_{P1}$ , a zbog  $SIN = 0$  upisuje se  $Q_{P0} = 0$ . Kada je  $Q_{P1} = 1$  naredni CLK impuls generiše impuls  $t_0$ , koji u SAR upisuje 1 na poziciju MSB bita ( $Q_{n-1}$ ), a sva ostala leč kola resetuje. Opadajuća ivica CLK impulsa pomera jedinicu u pomeračkom registru na poziciju  $Q_{P2}$ . Izlazni napon D/A konvertora je postavljen na napon  $V_{PS} / 2$ . Izlaz komparatora je postavljen u stanje 1 ili 0, u zavisnosti da li je  $V_{PP}$  veći ili manji od  $V_{IZ}$ . Naredni CLK impuls, zbog  $Q_{P2} = 1$ , generiše  $t_1$  koji u SAR postavlja  $Q_{n-2} = 1$ , a ako je  $\bar{K} = 1$  resetuje  $Q_{n-1}$ . Opadajuća ivica CLK impulsa pomera jedinicu u pomeračkom registru na sledeću poziciju  $Q_{P3}$ .

Sekvenca sukcesivnih aproksimacija se nastavlja sve do generisanja  $t_n$ , koji resetuje  $Q_S$ . U registru SAR je ostao rezultat konverzije, SH kolo je postavljeno u režim

"SAMPLE", a u pomerački registar koji je ponovo u režimu paralelnog upisa se, sve do početka sledeće konverzije svakim CLK impulsom, zbog  $\bar{Q}_S = 1$ , potvrđuje upis:  $Q_{P_0} = 1$ ,  $Q_{P_1} = Q_{P_2} = \dots = Q_{P_{n+1}} = 0$ .

Izlazni signali iz A/D konvertora su, pored binarnog ekvivalenta ulaznog napona, signali BUSY i EOC. Signal BUSY (zauzet) se naziva statusni signal i označava da je konverzija u toku. Signal EOC (End Of Conversion) označava da je konverzija završena. Signal EOC se može koristiti da se opadajućom ivicom upiše rezultat konverzije u poseban stacionarni registar.

Vreme konverzije A/D konvertora sa sukcesivnim aproksimacijama je dato izrazom:

$$t_{ADK} = (n+1)t_C \quad (16.3)$$

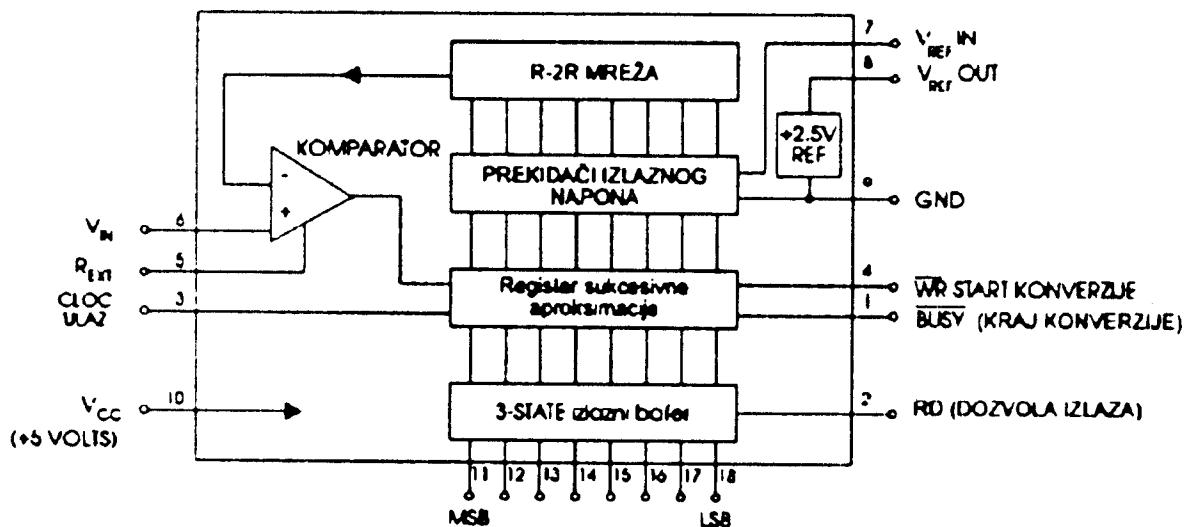
dge je n - broj bita konvertora, a  $t_C$  - period ponavljanja CLK impulsa. Dominantni uticaji na vreme konverzije ima vreme postavljanja D/A konvertora, pošto je ovo vreme često i za red veličine duže od ostalih kašnjenja u mreži. Tipično vreme konverzije za ove A/D konvertore je od 1  $\mu s$  do nekoliko desetina  $\mu s$ .

Statička linearost A/D konvertora sa sukcesivnim aproksimacijama je jednaka statičkoj linearnosti korišćenog D/A konvertora.

Pored navedenih A/D konvertora postoje i mnogi drugi konvertori kao što su: prateći A/D konvertori, serijski A/D konvertori sa generatorom rampe, jednonagibni i dvonagibni A/D konvertori itd.

### 16.5. A/D konvertor ZN 427

ZN 427 je mikroprocesorsko kompatibilan 8-bitni A/D konvertor sa sukcesivnim aproksimacijama. Poseduje trostatičke izlaze, što omogućava lako povezivanje na magistralu podataka mikroprocesorskih uređaja. A/D konvertor se sastoji od D/A konvertora, brzog komparatora, регистра sukcesivnih aproksimacija (u čijem sklopu se nalazi i kontrolna logika) i 2.56 V referentnog napona. Za rad konvertora potrebni su samo spoljni pasivni elementi. Na slici 16.10 data je unutrašnja arhitektura ovog konvertora, a u tabeli 16.1 date su tehničke karakteristike kola ZN 427 [9].



slika 16.10 Unutrašnja arhitektura A/D konvertora ZN 427

tabela 16.1 Tehničke karakteristike kola ZN 427

Parametar	Min.	Tip	Max.	Jed.	Uslovi
<b>KONVERTORA</b>					
Rezolucija	8	-	-	Bits	
Linearna greška	-	-	$\pm 0.5$	LSB	
Diferencijalna ne-linearnost	-	$\pm 0.5$	-	LSB	
Linearna greška T.C.	-	$\pm 3$	-	ppm/ $^{\circ}$ C	
Diferencijalna ne-linearnost T.C.	-	$\pm 6$	-	ppm/ $^{\circ}$ C	
Puni opseg (Gain) T.C.	-	$\pm 2.5$	-	ppm/ $^{\circ}$ C	
Nula T.C.	-	$\pm 8$	-	$\mu$ V/ $^{\circ}$ C	
Promena nule na	00000000 00000001	12	15	mV	$V_{REF DN} = 2.560V$
Promena jedinice na	11111110 11111111	2.545	2.550	V	$V_{REF DN} = 2.560V$
Vreme konverzije	-	-	10	$\mu$ s	
Spoljni referentni napon	1.5	-	3.0	V	
Ulazni napon	4.5	-	5.5	V	
Ulazna struja	-	25	40	mA	
Potrošnja	-	125	-	mW	
<b>KOMPARATOR</b>					
Ulazna struja	-	I	-	$\mu$ A	
Ulazna otpornost	-	100	-	K $\Omega$	
Negativno napajanje, V-	-3.0	-	-30.0	V	$V_{IN} = 3V, R_{EXT} = 82K\Omega$
Ulazni napon	-0.5	-	3.5	V	$V = .5V$
<b>INTERNI REFERENTNI NAPON</b>					
Izlazni napon	2.465	2.560	2.625	V	
$V_{REF}$ temperaturni koeficijent	-	50	-	ppm/ $^{\circ}$ C	$R_{REF} = 390\Omega$
Referentna struja	4	-	15	mA	$C_{REF} = 4\mu F$

## 17. Pojačavači

Svaki pojačavač u sebi sadrži bar jedan aktivni element, pomoću kojeg se može pojačati signal. Prilikom pojačanja kod signala ne sme ništa drugo da se menja osim amplitudu.

Pojačavač može da sadrži reaktivne elemente kao što su kondenzatori, zavojnice, transformatori. Reaktanse ovih elemenata kao i fazni odnos izlaznog i ulaznog signala zavise od frekvencije. Posledica ovoga jeste da izlazni signal više ne odgovara ulaznom, pa se kaže da je signal izobličen. Ova izobličenja potiču od linearnih elemenata i nazivaju se "linearna izobličenja" (linearna amplitudska i linearna fazna izobličenja) [5].

Izobličenja mogu nastati i zbog nelinearnosti prenosne karakteristike pojačavača. Što je veća amplituda ulaznog signala, to će i ovo izobličenje biti veće. Ako se radi o sinusoidalnom ulaznom signalu onda su u pitanju nelinearna harmonična izobličenja. Kao mera izobličenja definiše se faktor izobličenja ili klir-faktor. Klir-faktor je odnos efektivne vrednosti nekog višeg harmonika napona ili struje i efektivne vrednosti svih harmonika uključujući i osnovni harmonik, dat u procentima za i-ti harmonik:

$$k_i = \frac{U_i}{\sqrt{\sum_{r=1}^n U_r^2}} \cdot 100 [\%] \quad (17.1)$$

pored toga, definiše se i ukupni faktor nelinearnih izobličenja:

$$k = \sqrt{\sum_{i=2}^n k_i^2} \quad (17.2)$$

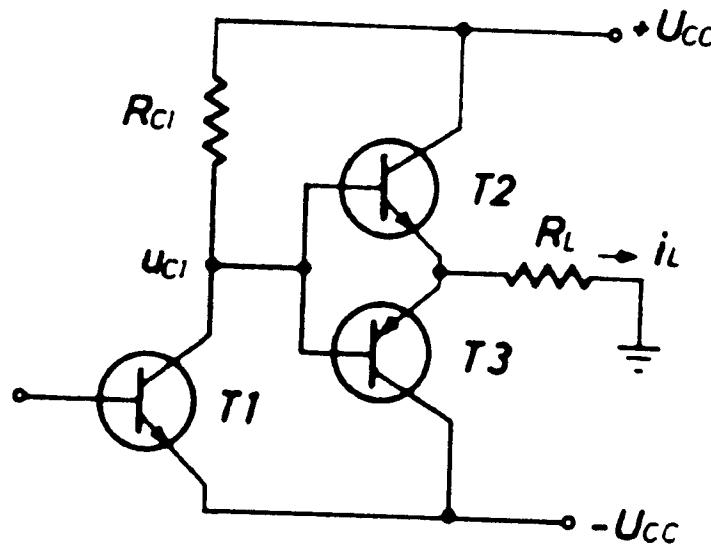
Klir-faktor se može izmeriti na taj način, što se selektivnim voltmetrom izmere efektivne vrednosti svakog harmonika pa se izračuna klir-faktor pomoću datih jednačina.

Postoje i nelinearna neharmonična izobličenja, koja nastaju usled nelinearnosti prenosne karakteristike kada se na ulaz pojačavača dovedu istovremeno dva ili više signala.

### 17.1. Direktno spregnuti izlazni stepeni sa komplementarnim tranzistorima

Najčešće se koristi dvotranzistorski (Push-Pull) izlazni stepen (slika 17.1). Kod njega se potrošač pobudjuje razlikom struja pojačavačkih tranzistora. Da bi pojačanje bilo što veće pobuda tranzistora mora biti takva da stručna razlika bude što veća. Puš-pul pojačavač se konstruiše tako da svaki tranzistor radi u klasi B, čime se postiže da ceo izlazni stepen radi u klasi AB i ima mala izobličenja.

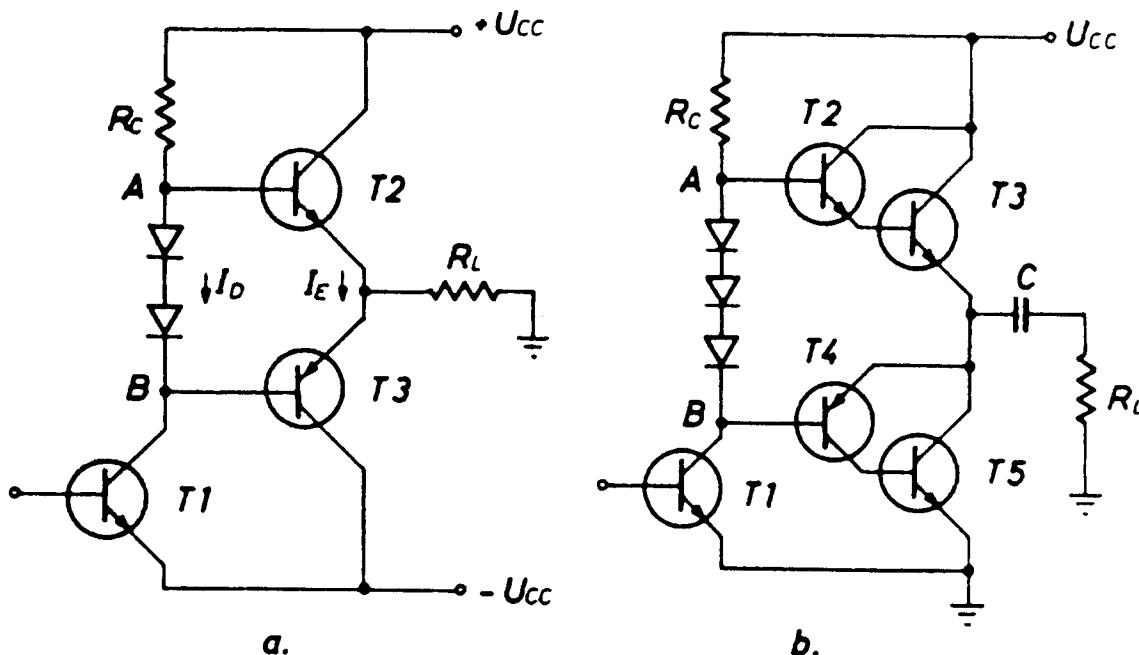
Pošto su emiteri tranzistora suprotnih tipova, kratko spojeni i na njih je priključen potrošač, to će struja kroz potrošač biti jednaka razlici emiterskih struja. Drugi uslov, da razlika emiterskih struja bude što veća, ostvaren je priključenjem pobudnog signala na kratko spojene baze tranzistora. Time je istovremeno postignut rad svakog tranzistora u klasi B.



slika 17.1 Šema direktno spregnutog pojačavača sa pobudnim stepenom

Na slici 17.1 prikazan je pobudni stepen sačinjen od tranzistora T1 i izlazni stepen koji je pojačavač klase B. Radni uslovi su tako podešeni da je kolektorski napon pobudnog tranzistora u miru jednak nuli ( $U_{C1} = 0$ ). Tada kroz  $R_L$  ne protiče nikakva struja, a emiterski naponi tranzistora T2 i T3 su jednakim nulama, odnosno oba tranzistora su zakočena. Prilikom porasta napona  $U_{C1}$  struja kroz tranzistor T2 će poteći tek kada se dostigne napon praga provodjenja tranzistora  $U_{BET}$ . Ako napon  $U_{C1}$  opadne ispod nule, struja kroz tranzistor T3 će poteći tek kada se dostigne napon praga provodjenja tranzistora  $-U_{BET}$ .

Pojava da izlazni napon ostaje jednak nuli kada se ulazni napon nalazi u granicama  $-U_{BET} < U_g < U_{BET}$  dovodi do izobličenja izlaznog napona, koje se naziva "prelazno izobličenje" (crossover distortion). Smanjenje prelaznog izobličenja je značajno za kvalitet izlaznog signala, pogotovo ako je njegova amplituda mala. Popravka se postiže tako što se oba tranzistora u puš-pul stepenu polarišu tako da rade na ivici provodjenja kada je pobudni napon jednak nuli. Tada i najmanja promena ulaznog napona povećava struju jednog tranzistora i koči onaj drugi. Na slici 17.2 prikazan je direktno spregnuti pojačavač klase AB.



slika 17.2 Direktno spregnuti pojačavač klase AB

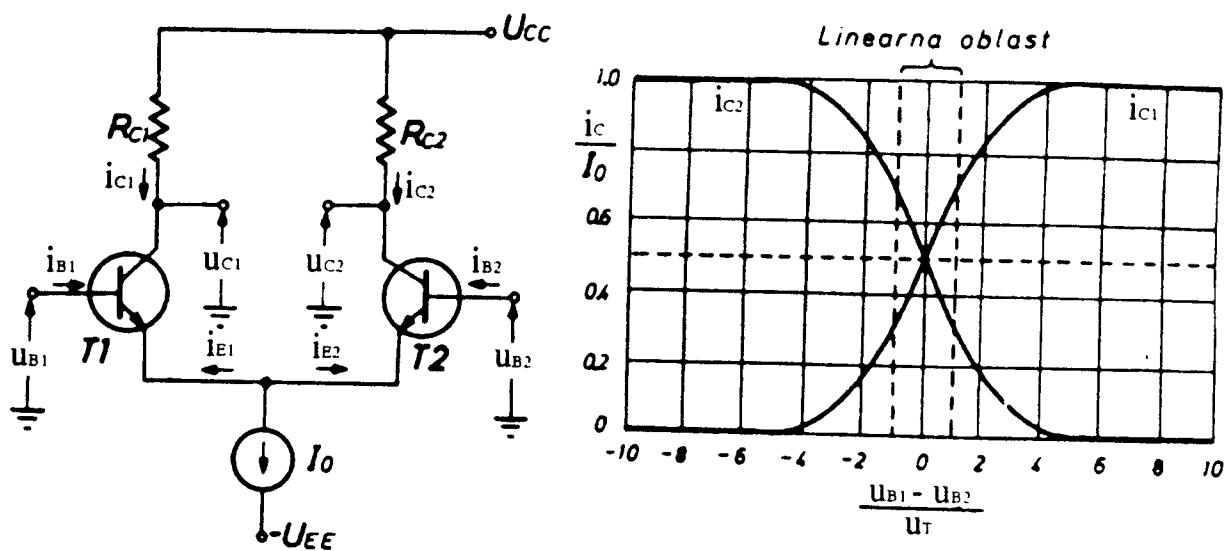
- a) sa simetričnim napajanjem i komplementarnim tranzistorima
- b) sa nesimetričnim napajanjem i Darlingtonovom spregom tranzistora

Na slici 17.2 tranzistor  $T_1$  predstavlja izvor pobudnog napona. Da bi se izvršila temperaturna stabilizacija kolektorske, odnosno emiterske struje, od baze jednog do baze drugog tranzistora umeće se onoliko dioda koliko ima tranzistorskih ulaza, odnosno emiterskih spojeva.

Na slici 17.2b prikazana je jedna modifikacija koja se najčešće koristi u praksi.

## 17.2. Diferencijalni pojačavač

Diferencijalni pojačavač se sastoje od bar dva tranzistora i ima dva ulaza i dva izlaza. Ako ima samo jedan izlaz, onda pojačava samo razliku napona na ulaznim priključcima. Na slici 17.3 prikazana je šema prostog diferencijalnog pojačavača i njegova prenosna karakteristika.



slika 17.3 a) Principijelna šema diferencijalnog pojačavača  
b) prenosna karakteristika diferencijalnog pojačavača

Diferencijalni pojačavač će biti idealan ako su oba kolektorska otpora jednaka, a karakteristike tranzistora identične. Diferencijalni pojačavač je interesantan zbog toga što, bilo kakva promena da nastupi (promena \$U\_{BE}\$, \$I\_{CBO}\$, \$\beta\$), zbog simetričnosti šeme, nema uticaja na njegov rad.

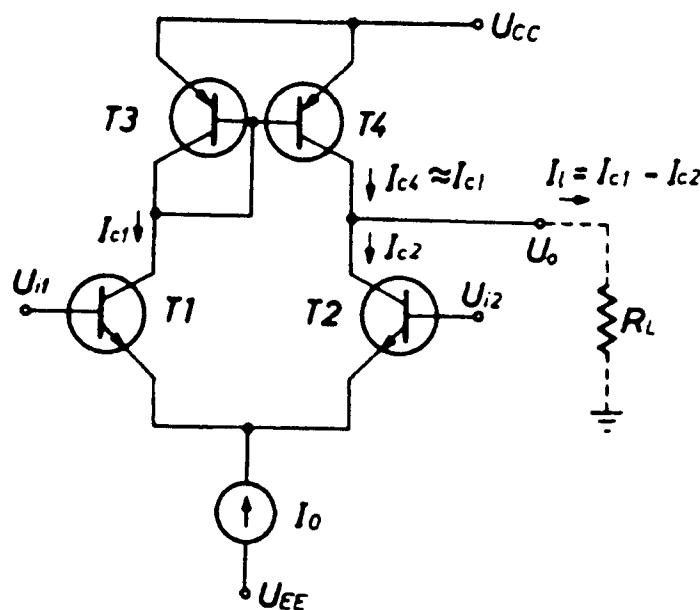
Kao merilo kvaliteta diferencijalnog pojačavača definiše se odnos pojačanja za diferencijalni ulaz i pojačanja za zajednički ulaz. Ovaj odnos pojačanja se naziva faktor potiskivanja srednje vrednosti (CMRR):

$$F_p = \left| \frac{A_{ud}}{A_{uc}} \right| \quad (17.3)$$

gde je \$A\_{ud}\$ pojačanje diferencijalnog pojačavača kada se na ulaze dovede diferencijalni signal, a \$A\_{uc}\$ je pojačanje kada se dovede isti signal na oba ulaza.

### 17.3. Diferencijalni pojačavač sa nesimetričnim izlazom

U slučaju nesimetričnog izlaza faktor potiskivanja je konačna veličina. Na slici 17.4 data je šema diferencijalnog pojačavača kod koga je simetričan diferencijalni signal prenet na nesimetričan izlaz.



Slika 17.4 Diferencijalni pojačavač sa nesimetričnim izlazom

Uместо оба otpornika  $R_C$  stavljen je izvor konstantne struje. Smatrujući da je  $\beta \gg 1$ , kolektorska struja tranzistora  $T_4$  približno je jednaka kolektorskoj struci tranzistora  $T_1$ , jer je ova jednaka strui diode načinjene od tranzistora, pa je izlazna struja jednaka razlici struja  $I_{C1} - I_{C2}$ .

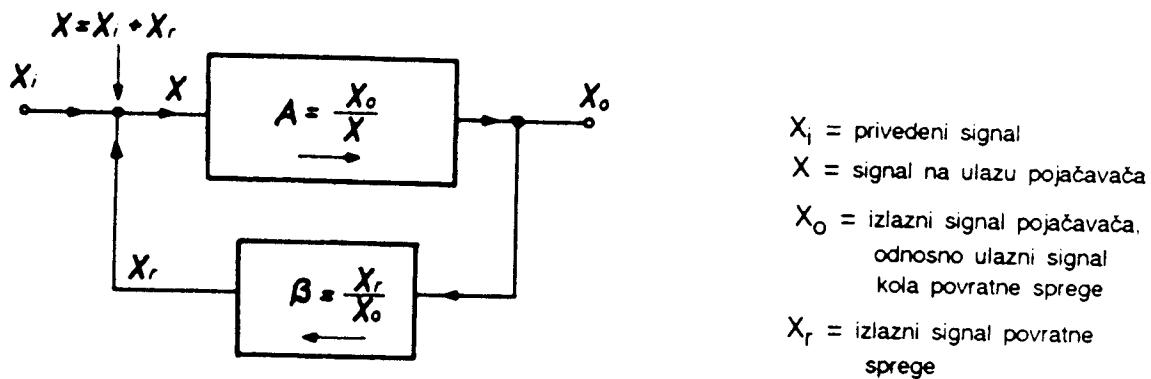
Pomoću diferencijalnog pojačavača sa slike 17.4 dobilo se ne samo veliko potiskivanje zajedničkog signala, već se dobilo i dva puta veće pojačanje.

Ovakvo opterećenje diferencijalnog pojačavača naziva se refleksni spoj (ili strujno ogledalo), jer se struja  $I_{C1}$  "reflektuje" preko izvora konstantne struje, pa je jednaka strui  $I_{C4}$ .

#### 17.4. Povratna sprega

Povratna sprega kod pojačavača se sastoji u tome što se deo izlaznog napona ili struje vraća na ulaz pojačavača. Ova povratna sprega može biti slučajna i nepoželjna, ili se može namerno izvesti. Slučajna povratna sprega se može javiti preko povratnih parametara pojačavačkih elemenata ( $h_{12}, y_{12}$ ), preko zajedničkih vodova za više pojačavačkih stepena, preko unutrašnjeg otpora izvora za napajanje, preko parazitnih kapaciteta itd. Povratna sprega utiče na pojačanje pojačavača, propusni opseg pojačavača i na izobličenja. Povratna sprega se namerno izvodi kod pojačavača, radi smanjenja izobličenja. Ukoliko je povratna sprega dovoljno jaka, a fazni stav vraćenog signala takav da pojačavač sam sebe pobudjuje, pojačavač se pretvara u oscilator.

Na slici 17.5 prikazana je blok - šema pojačavača sa povratnom spregom.



slika 17.5 Blok-šema pojačavača sa povratnom spregom

Kolo povratne sprege priključeno je na ulaz pojačavača tako da je:

$$X = X_i + X_r \quad (17.4)$$

Dakle, signal na ulazu pojačavača jednak je zbiru ulaznog i vraćenog signala. Prenosna funkcija pojačavača je :

$$A = \frac{X_o}{X} \quad (17.5)$$

Prenosna funkcija može biti: pojačanje napona  $A_u$ , pojačanje struje  $A_i$ , prenosni otpor  $R_m$  ili prenosna provodnost  $G_m$ .

Prenosna funkcija povratnog kola

$$\beta = \frac{X_r}{X_o} \quad (17.6)$$

se naziva koeficijent povratne sprege.

Prenosna funkcija pojačavača sa povratnom spregom je:

$$A_r = \frac{X_o}{X_i} \quad (17.7)$$

Uzevši u obzir jednačine (17.5), (17.6) i (17.7), jednačina (17.7) se može napisati u obliku (17.8):

$$A_r = \frac{A}{1 - \beta A} \quad (17.8)$$

$$1 - \beta A = F \quad (17.9)$$

Veličina  $F$  se naziva funkcijom povratne sprege. Za pozitivnu povratnu spregu  $F$  je manje od 1. Za  $F = 1$  pojačavač se pretvara u oscilator.

U području srednjih frekvencija  $\beta$  je realna veličina sa znakom "+" ako se u povratnom kolu ne menja faza, a sa znakom "-" ako se faza menja za  $180^\circ$ .

Analizom jednačine (17.8) se vidi da pojačanje pojačavača sa povratnom spregom zavisi od proizvoda  $\beta A$ . Ako se otkači povratna sprega na ulazu pojačavača i izračuna pojačanje od ulaza u pojačavač do izlaza iz kola povratne sprege, dobija se :

$$\frac{X_r}{X} = \frac{X_r}{X_0} \cdot \frac{X_0}{X} = \beta A \quad (17.10)$$

Izlaz kola povratne sprege je vezan na ulaz pojačavača i time je zatvoren krug. Zbog toga se  $\beta A$  naziva kružno pojačanje. Ako je  $0 < \beta A < 1$ , tada je imenilac u jednačini (17.8) manji od 1, pa je pojačanje sa povratnom spregom veće nego bez sprege. U tom slučaju vraćeni signal sa izlaza ima istu fazu kao i ulazni signal. Povratna sprega kod koje je  $\beta A$  pozitivno naziva se pozitivna povratna sprega. Najveće pojačanje će se dobiti kada je  $\beta A = 1$ . Tada je  $A_r = \infty$ . To znači da ulazni signal može biti jednak nuli, a da ipak na izlazu postoji signal, tj. pojačavač se pretvorio u oscilator.

U slučaju da je vraćeni signal sa izlaza na ulaz pojačavača negativan (fazno pomeren za  $\pi$ ), ukupna veličina signala na ulazu pojačavača je manja od privedenog signala, koji se želi pojačati. U tom slučaju je  $\beta A < 0$ ,  $F > 1$ , a sama sprega se naziva negativna povratna sprega. Povratna sprega je utoliko jača ukoliko je  $\beta A$  negativnije, a samim tim je utoliko i manje pojačanje pojačavača sa negativnom povratnom spregom.

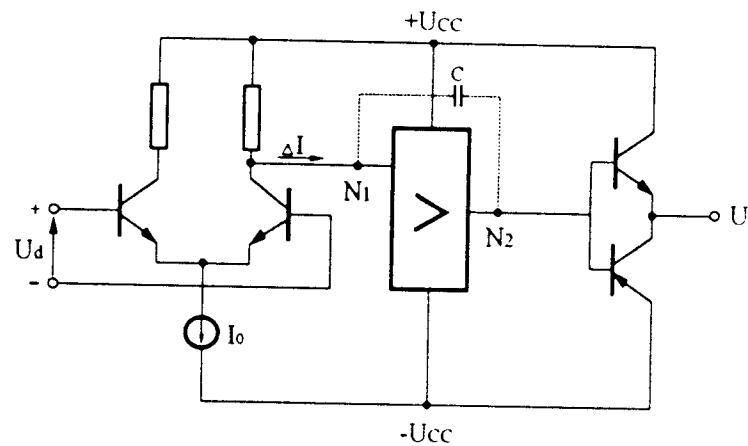
Negativnom povratnom spregom u pojačavaču se postiže :

1. Smanjenje izobličenja
2. Pri istom izobličenju, povećanje izlazne snage
3. Smanjenje uticaja smetnji, utoliko više ukoliko se ove smetnje pojavljuju bliže izlazu pojačavača
4. Ravnomernije i stabilnije pojačanje
5. Proširenje propusnog opsega, odnosno smanjenje donje i povećanje gornje granične frekvencije

Ponekad je loša strana negativne povratne sprege smanjenje pojačanja pojačavača. Odnos signal - šum negativnom povratnom spregom ostaje nepromenjen. Da bi se ovaj odnos povećao neophodno je da ulazni stepen pojačavača bude sa malim izobličenjem, malim šumom, a da se spoljašnje smetnje svedu na minimum.

### 17.5. Operacioni pojačavači

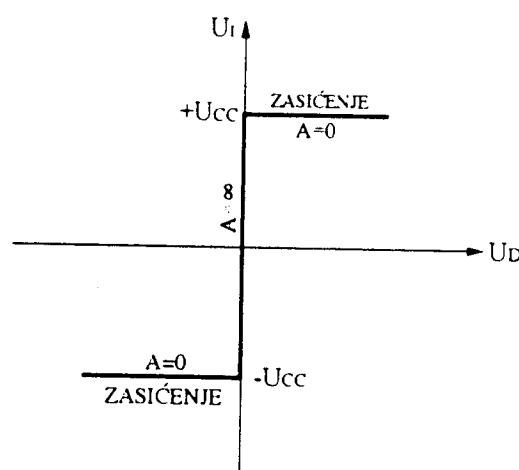
Operacioni pojačavači su jedna vrsta direktno spregnutih pojačavača. Prema tome, oni pojačavaju jednosmerne signale i naizmenične do svoje granične frekvencije. Ovakav pojačavač ima simetričan ulaz a nesimetričan izlaz (slika 17.6).



slika17.6 Šema unutrašnje strukture operacionog pojačavača

Operacioni pojačavač sadrži tri direktno spregnuta stepena. Ulazni stepen je diferencijalni pojačavač koji treba da obezbedi male struje i napone ofseta, veliku ulaznu impedansu i visok faktor potiskivanja. Drugi stepen je naponski pojačavač i on ima veliko naponsko pojačanje. Izlazni stepen je standardni puš-pul pojačavač i daje potrebnu snagu potrošaču [6].

#### 17.5.1. Idealni operacioni pojačavač



slika17.7 Prenosna karakteristika idealnog operacionog pojačavača

Idealni operacioni pojačavač ima idealne jednosmerne karakteristike, beskonačan faktor potiskivanja, a ofseti ulazne struje i napona su jednaki nuli. Parametri idealnog operacionog pojačavača su nezavisni od frekvencije. Operacioni pojačavač ima strukturu diferencijalnog pojačavača. Pojačanja "+" i "-" ulaza su jednaka i suprotna po znaku. Time su ispunjeni uslovi za pojačanje samo razlike ulaznih napona i veliko potiskivanje njihovih srednjih vrednosti. Vrednost diferencijalnog pojačanja

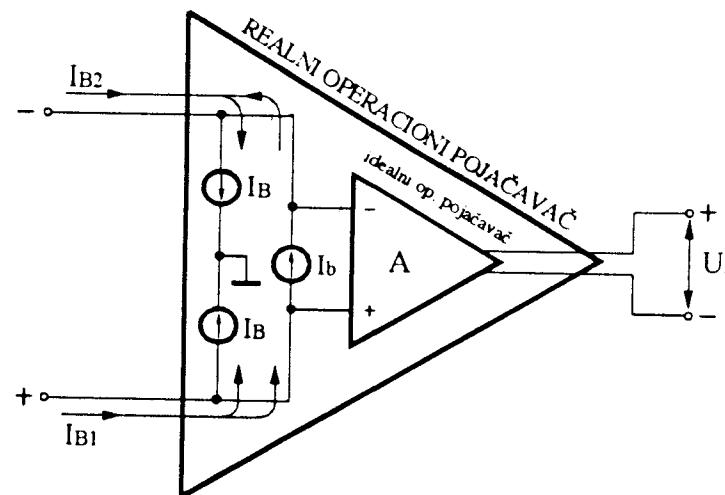
$$A_D = \frac{U_I}{U_D} \quad (17.11)$$

je beskonačno velika, pa je opseg promena ulaznog napona, u kome pojačavač radi van zasićenja, jednak nuli. To je praktično neprihvatljivo, pa se na operacioni pojačavač primjenjuje negativna povratna sprega sa ciljem da se preko parametara  $\beta$ -kola podešava diferencijalno pojačanje. Na slici 17.7 je prikazana prenosna karakteristika idealnog operacionog pojačavača.

### 17.5.2. Realni operacioni pojačavač

Operacioni pojačavači sa bipolarnim tranzistorima imaju najbolje karakteristike od svih realizacija. Njihov naponski ofset je najmanji, a naponsko pojačanje i faktor potiskivanja su najveći. Međutim, ulazna impedansa je nedovoljno velika, pa je i ulazna struja polarizacije i struja ofseta različita od nule. Ovaj nedostatak se otklanja upotrebom BIFET i BIMOS kola po cenu dobijanja većeg naponskog ofseta, manjeg pojačanja i manjeg faktora potiskivanja. Kod BIFET i BIMOS kola ulazni diferencijalni par napravljen je sa JFET, odnosno MOSFET tranzistorima. Tako se dobijaju ulazne struje i struje ofseta od 3-30pA kod BIFET kola i 0.1-2pA kod BIMOS kola. Kao posebne komponente operacioni pojačavači se prave u celosti u CMOS (a ne u MOS) tehnologiji, jer je moguća realizacija pojačavačkih struktura baziranih na komplementarnim tranzistorima.

MOS i CMOS operacioni pojačavači se primjenjuju u čipovima visokog stepena integracije sa digitalnim kolima. Ovi operacioni pojačavači imaju povećanu izlaznu impedansu, što im ne kvari bitno karakteristike, jer se često koriste za pobudu velikih impedansi. Na slici 17.8 prikazan je model realnog operacionog pojačavača za predstavljanje ulaznih struja.



slika17.8 Model realnog operacionog pojačavača za predstavljanje ulaznih struja

Zbog konačne ulazne otpornosti bipolarni operacioni pojačavači imaju ulaznu struju polarizacije  $I_B \neq 0$  i struju ofseta. Struja ofseta potiče od neuparenosti komponenata i definiše se kao razlika ulaznih struja izbalansiranog operacionog pojačavača:

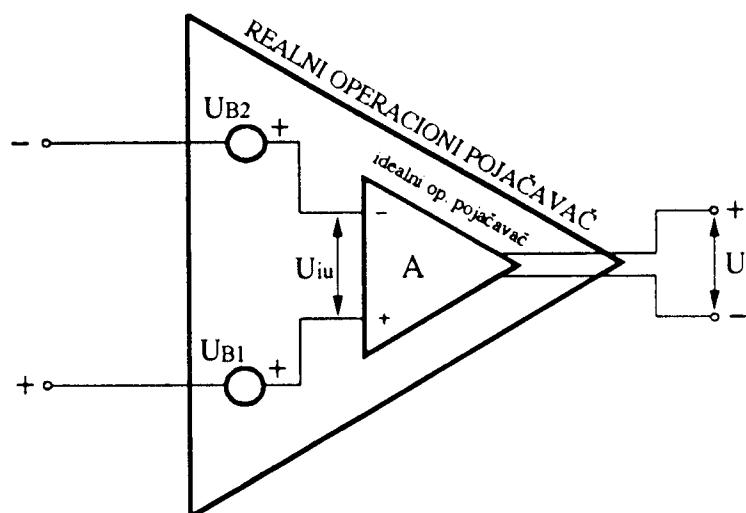
$$I_{IO} = I_{B1} - I_{B2}, \text{ kad je } U_I = 0 \quad (17.12)$$

Offset struja ima proizvoljan smer zbog nepredvidivosti vrste razdešenosti. Definiše se i drift ulazne struje ofseta kao promena struje ofseta po jedinici temperature:  $\Delta I_{IO} / \Delta T$ .

Može se definisati i ulazna "bias" struja kao jedna polovina sume ulaznih struja izbalansiranog pojačavača:

$$I_b = \frac{I_{B1} + I_{B2}}{2}, \text{ kad je } U_I = 0 \quad (17.13)$$

Realni operacioni pojačavač ima napon ofseta usled neuparenosti parametara tranzistora u ulaznom diferencijalnom stepenu. Ulazni offset napon jeste napon koji postoji na ulazu izbalansiranog operacionog pojačavača. Na slici 17.9 prikazano je modeliranje napona ofseta u realnom operacionom pojačavaču.



slika17.9 Modeliranje napona ofseta u realnom operacionom pojačavaču

Takodje se definiše drift ofset napona kao promena ofset napona po jedinici temperature. Izlazni ofset napon jeste napon koji postoji na izlazu operacionog pojačavača kad su oba ulaza uzemljena.

Za operacioni pojačavač je definisan maksimalan ulazni napon do kojeg se pojačavač nalazi u linearном delu karakteristike, a takodje je određen i maksimalan diferencijalni napon koji se dovodi na ulaz pojačavača.

Maksimalni izlazni napon je ograničen naponom napajanja.

Faktor potiskivanja napona napajanja (PSRR) je faktor koji se definiše kao promena ulaznog ofset napona pri odgovarajućoj promeni napona napajanja, pri čemu ostali naponi ostaju konstantni.

Strmina operacionog pojačavača (SLEW RATE) se definiše kao maksimalno moguća brzina promene njegovog izlaznog napona u jedinici vremena:

$$SR = \left| \frac{dU_0}{dt} \right|_{\max} \quad (17.14)$$

Strmina postoji usled prisustva kondenzatora C za podešavanje frekventnog odziva operacionog pojačavača (slika 17.6). Pri promeni ulaznog diferencijalnog napona dolazi do promene struje  $\Delta I$  kojom se u tački N<sub>1</sub> pobudjuje ulaz naponskog stepena:

$$(\Delta I)_{\max} = \frac{I_0}{2} \quad (17.15)$$

Ova promena određuje najveću moguću brzinu promene napona u tački N<sub>2</sub>:

$$U_{N_2} = \frac{1}{C} \int (\Delta I)_{\max} dt + \text{const} \quad (17.16)$$

$$\frac{dU_{N_2}}{dt} = \frac{(\Delta I)_{\max}}{C} \quad (17.17)$$

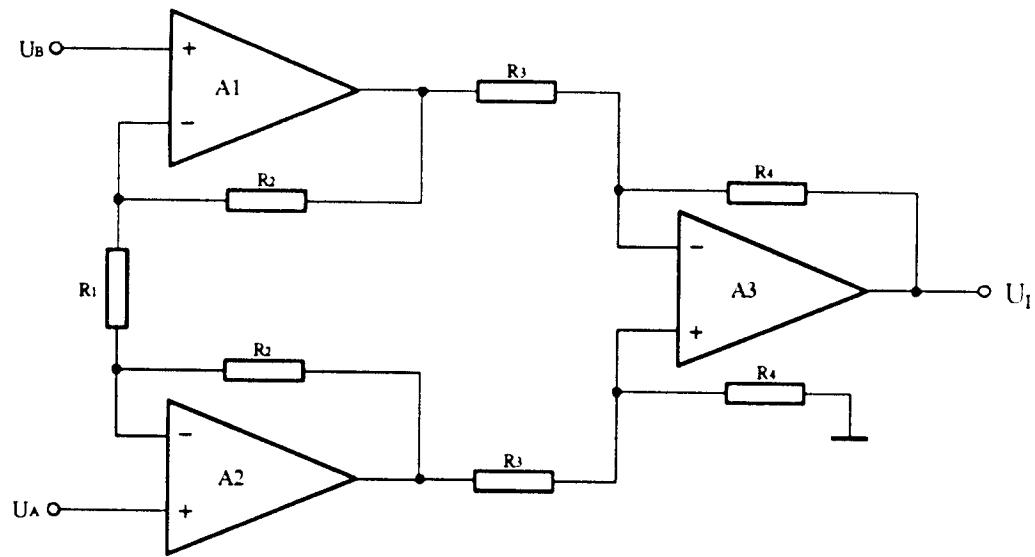
Kako je naponsko pojačanje izlaznog stepena jedinično, tada je:

$$SR = \frac{I_0}{2C} \quad (17.18)$$

Vrednost strmine ne zavisi od električnog kola u kome je operacioni pojačavač upotrebljen, jer punjenje kondenzatora C zavisi samo od njegove unutrašnje konstrukcije i predstavlja usko grlo u brzini odziva celog kola [6]. Strmina je ograničenje koje zavisi i od učestanosti i od amplitude signala. Što je amplituda veća to je maksimalna učestanost signala, koji se tačno reproducuje, manja. Zato se strmina često interpretira kao ograničenje za velike signale (Large signal effect). Istovremeno se definiše i propusni opseg za signale vrlo malih amplituda (Small signal effect), da bi se izbegao uticaj strmine. Za pojačavanje bez izobličenja nekog signala treba zadovoljiti oba uslova.

## 17.6. Instrumentacioni pojačavač

Instrumentacioni pojačavač je vrsta diferencijalnog pojačavača kod koga su ulazne impedanse veoma velike. Na slici 17.10 je prikazana struktura šema instrumentacionog pojačavača.



slika17.10 Strukturalna šema instrumentacionog pojačavača

Ovi pojačavači se primjenjuju za pojačanje malih signala. Ako su otpornici upareni i pojačavači idealni, tada je:

$$U_I = \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3} (U_A - U_B) \quad (17.19)$$

Svaki pomjeraj u uparenosti otpornika kvari faktor potiskivanja. Sa slike 17.10 se vidi da je izlazni pojačavač vezan kao diferencijalni pojačavač koji pojačava razliku napona sa izlaza ulaznih operacionih pojačavača.

Instrumentacioni pojačavači se u celosti proizvode u integrisanoj tehnici (AD 521, LT 1100).

## 18. Portovi

Mikroprocesor komunicira sa pojedinim delovima računara i kontroliše njihov rad korišćenjem ulaznih i izlaznih (U/I) portova. U/I portovi su ulazi preko kojih informacije prolaze ka ili od U/I uredjaja, kao što su tastatura, štampač, i sl.

Svaki port se identificuje 16-bitnim brojem porta koji može imati vrednost od 0 do 65535. Mikroprocesor šalje podatak ili kontrolnu informaciju do porta, specificiranog brojem porta, a port odgovara prolaznim podatkom ili statusom informacije natrag do mikroprocesora. Kada pristupa memoriji mikroprocesor koristi adresnu ili magistralu podataka, kojom uslovjava komunikaciju sa portom.

U/I adresna mapa zauzima 2 KB memorije (od memoriske lokacije 000H do 3FFH), pri čemu se adrese od 000H do OFFH koriste za uredjaje na osnovnoj ploči, a adrese od 100H do 3FFH za periferne U/I uredjaje.

U tabeli 18.1 dat je spisak portova koje koriste AT računari, kao i njihove adrese.

tabela 18.1 Nazivi portova i njihove adrese u PC AT računarima

PORT	AT
DMA kontroler	000-01F
Prekidni kontroler	020-03F
Tajmer (8254)	040-05F
Tastatura (8042)	060-06F
DMA page registar (74LS612)	080-09F
NMI registar	070-07F
Prekidni kontroler 2 (8259)	0A0-0BF
DMA kontroler 2 (8237)	0D0-0DF
CLEAR / RESET MATCH kontroler	0F0-0F1
Matični koprocesor	0F8-0FF
Džojstik	200-207
Prototipska kartica	300-31F
Paralelni printer (sekundarni)	278-27F
Serijski port (primarni)	3F8-3FF
Serijski port (sekundarni)	2F8-2FF
Fiksni disk	1F0-1F8
Paralelni printer (primarni)	378-37F
Monohromatski adapter	3B0-3BF
Kolor grafički adapter	3D0-3DF
Disketni kontroler	3F0-3F7

## 19. Sistemska magistrala PC AT računara

Sistemska magistrala računara mora da sadrži sve signale koji su potrebni za rad kontrolera periferne jedinice. Tu spadaju kontrolni i upravljački signali, sa kojima se upravlja radom kontrolera periferije, kao i linije kojima se vrši transfer podataka ka periferiji. Ukoliko sa neke periferne memorijске jedinice treba izvršiti prebacivanje podataka u unutrašnju memoriju računara, to se vrši preko magistrale podataka sistemskog mikroprocesora. Uopšteno, sistemski magistrali sadrži adresnu magistralu, magistralu podataka i upravljačku magistralu (slika 19.1). Sistemska magistrala se sastoji iz dva dela: 62-pinskog dela, koji se koristi za 8-bitnu komunikaciju mikroprocesora sa perifernim uredjajima i za adresiranje memorije do 1 MB i 36-pinskog dela, koji omogućuje 16-bitnu komunikaciju mikroprocesora sa perifernim uredjajima, kao i adresiranje memorije veće od 1 MB.

Za osmobilna kola u sistemu, prenos podataka se vrši linijama D0-D7, dok 16-bitna kola koriste i linije D8-D15. Za aktiviranje linije D8-D15 16-bitni sistemi koriste signal na liniji BHE, koji indicira prenošenje višeg bajta podataka na magistrali podataka.

Adresna magistrala A0-A19 se koristi za adresiranje memorije i U/I uredjaja. Tih 20 adresnih linija obezbeđuje pristup ka memoriji kapaciteta od 1 MB. Adresnim linijama LA17-LA23 postiže se adresiranje memorije i U/I kola u sistemima sa memorijom većom od 1 MB. Linije LA17-LA23 se koriste za dekodiranje memorije u toku memoriskog ciklusa, dok u toku mikroprocesorskog ciklusa nemaju nikakvu ulogu.

Signal kontrole ulaza-izlaza na liniji I/O CH CK je ulazni signal u računar, koji obaveštava mikroprocesor o greškama u memoriji i U/I uredjajima. Ako je ovaj signal aktivovan to govori o postojanju greške.

Izlazni signal na liniji AEN ukazuje U/I uredjajima da, kad je aktivovan, kontrolu nad sistemskom magistralom ima DMA kontroler (DMA-direktni pristup memoriji). Ova linija se koristi da omogući procesoru i drugim U/I uredjajima da se pripreme i omoguče DMA transfere.

Ulagani signali na linijama IRQ2-IRQ7 u slučaju 8-bitnog sistema predstavljaju signale zahteva za prekid i koriste se da obaveste mikroprocesor o tome koji od U/I uredjaja traži da se usluži. Signal na liniji IRQ2 ima najviši, a signal na liniji IRQ7 najniži prioritet. U slučaju 16-bitnog sistema koriste se linije IRQ3-IRQ7, IRQ9-IRQ12 i IRQ14-IRQ15. IRQ15 ima najviše a IRQ3-IRQ7 najniže prioritete. Prekid IRQ13 je rezervisan za osnovnu ploču i nije dostupan U/I kontroleru, dok je prekid IRQ8 rezervisan za sat realnog vremena.

Signali dozvole direktnog pristupa memoriji na linijama DRQ0-DRQ3 i DRQ5-DRQ7 predstavljaju ulazne dozvole asinhronim kanalima koji koriste periferni uredjaji za organizaciju DMA. Zahtev se generiše kada DRQ linija predje u aktivno stanje i mora imati visok nivo dok se ne uspostave odgovarajući signali na linijama DACK0-DACK3 i DACK5-DACK7 (DMA zahtev potvrđen od strane mikroprocesora). Signali na linijama DRQ0-DRQ3 se koriste za 8-bitni DMA transfer, a DRQ5-DRQ7 za 16-bitni DMA transfer.

Kada DRQ linija uzima kontrolu nad sistemom aktivira se signal na liniji MASTER.

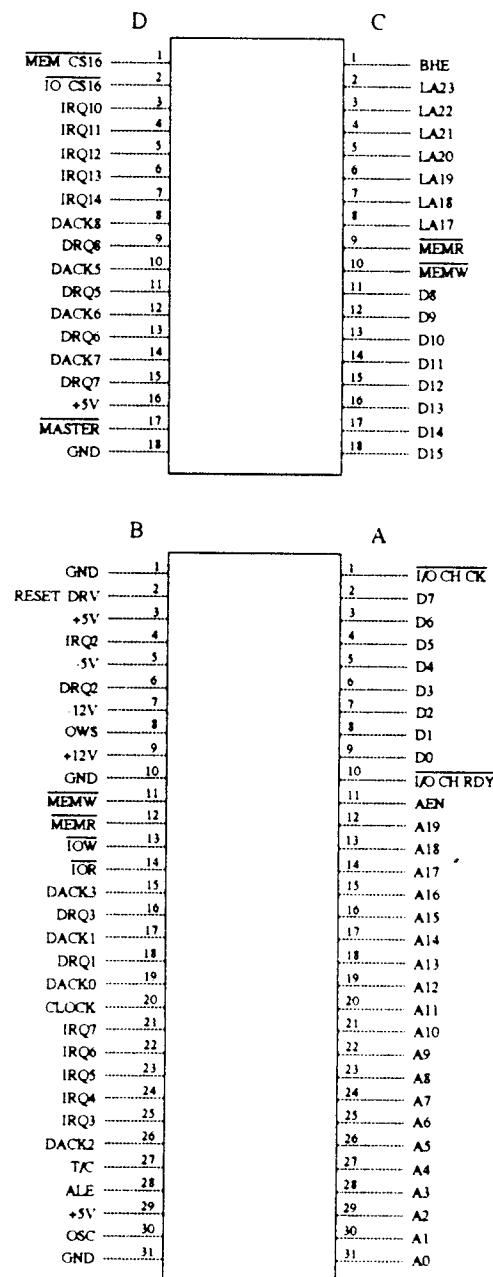
Signal na liniji I/O CH RDY je signal spremnosti U/I kontrolera.

Izlazni signal na liniji RESET DRV se koristi za resetovanje.

Signali na linijama SMEMW (upis podataka u memoriju) i SMEMR (čitanje podataka iz memorije) su aktivni kada je memoriski prostor manji od 1 MB, dok su signali na linijama MEMW i MEMR aktivni kad je memorija veća od 1 MB.

Kada je prisutan transfer 16-bitnih podataka u U/I uredjaj, tada se sa osnovne ploče aktivira signal na liniji I/O CS16, čija je uloga adresno dekodiranje.

Signal na liniji T/C je signal koji broji završetak rada u bilo kom kanalu DMA.



slika19.1 Sistemska magistrala PC AT računara

Signal dozvole čitanja na liniji IOR je ulazni upravljački signal, koji U/I uredjaju dozvoljava da započne slanje podataka na magistralu podataka. Signal na liniji IOW je signal dozvole upisa, koji obaveštava U/I uredjaj da može početi upis podataka sa magistrale podataka. Oba signala su aktivna na niskom naponskom nivou i mogu biti inicirana mikroprocesorom ili U/I kontrolerom.

Na liniji OWS je signal nultog čekanja. Generiše ga mikroprocesor kada se prisutnom ciklusu magistrale može ubaciti dodatni ciklus čekanja.

Signal na liniji ALE se javlja kao deo kontrolera magistrale. Kontroler magistrale uzima adresu od mikroprocesora i obaveštava U/I kontroler o aktivnim adresama u mikroprocesoru. Obično se koristi zajedno sa signalom dozvole adresiranja, koji ukazuje da je dozvoljen DMA postupak.

Signal na liniji CLOCK je mikroprocesorski klok signal, koji omogućava sinhronizaciju rada kontrolera periferije sa ostalim delom računara.

Na liniji OSC je klok oscilatora čiji rad nije sinhronizovan sa sistemskim klokom.

Za osvežavanje ciklusa koristi se signal na liniji REFRESH.

## 20. Merna (prototipska) kartica

U eksperimentalnom radu često se susreće potreba da se nešto proveri brzo i bez većih tehničkih zahvata. Za rad sa PC računarom najbolje je napraviti jednu karticu (štampatu ploču) na kojoj bi se našli neki uobičajeni sklopovi, kao što su: ulazno-izlazni portovi registarskog tipa, kolo za generisanje signala različitih frekvencija, A/D konvertor sa raznim stepenima za prilagodjenje i D/A konvertor.

Uobičajeno je, a i potrebno, da se odvoji sistemska magistrala, koja se nalazi u računaru, od interfejsa ili periferije. To se vrši zbog toga što se sistemska magistrala ne sme prekomerno opterećivati, a moraju se odvojiti i eventualni izvori smetnji, koji bi se mogli pojaviti i ometati normalan rad računara. U ovom projektu linije D0-D7 magistrale podataka su baferovane.

Prilikom projektovanja prototipske kartice mora se voditi računa, pored strujnog opterećenja, i o kapacitivnom opterećenju magistrale, što se posebno odnosi na ulazno-izlazne portove. Svako novo opterećenje portova ujedno dodaje izvesno kapacitivno opterećenje od 10 do 20 pF, zbog čega se signali na magistrali izobličuju, te dolazi do nepotrebnog kašnjenja usled čega može doći do neregularnog rada celog sistema.

Prototipska kartica ostvaruje kontakt sa osnovnom pločom računara preko slot-konektora.

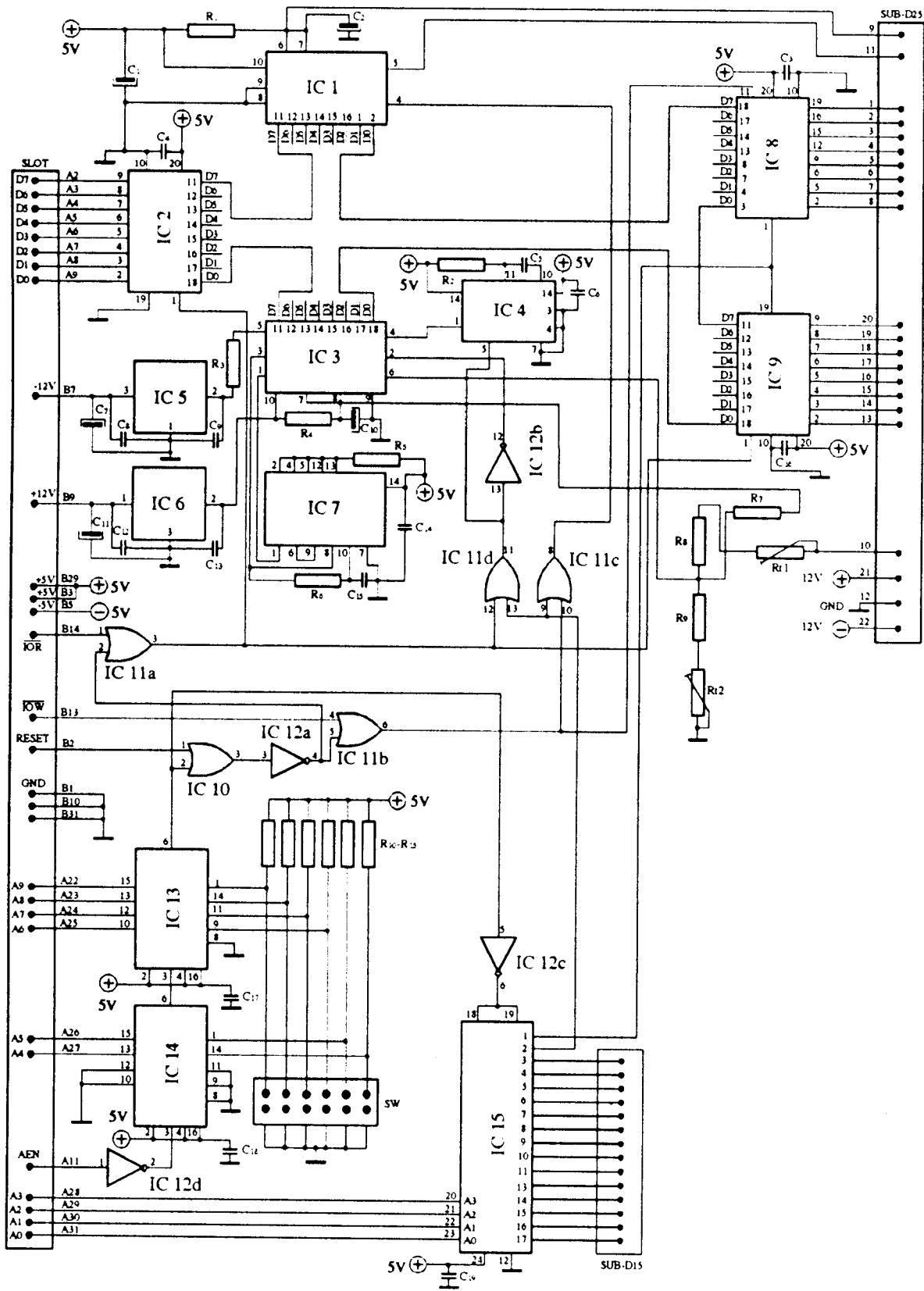
Prototipska kartica, u ovom projektu, koristi 62-pinski slot-konektor, tako da može da se primenjuje i u XT i u AT PC računarima.

Na slici 20.1 prikazana je kompletna električna šema mjerne kartice koja sadrži A/D i D/A konvertor, kao i I/O port.

Ulaz preko kojeg se dovodi analogni napon na A/D konvertor se nalazi na pinu 10 konektora SUB-D25. Podaci iz D/A konvertra se isčitavaju preko pina 9 konektora SUB-D25. 8-bitni digitalni signal se učitava na karticu preko pinova 13-20, a isčitavanje 8-bitnog signala sa kartice se vrši preko pinova 1-8 konektora SUB-D25.

D/A konvertor i sva TTL kola koriste napajanje od +5 V. A/D konvertor koristi simetrično napajanje od  $\pm 5$  V preko stabilizatora napona 7805 / 7905. Preko pina 21 i 22 konektora SUB-D25 izvedeno je simetrično napajanje od  $\pm 12$  V za potrebe pojačavačkih stepena.

Merna kartica je napravljena na osnovu električne šeme iz časopisa "ELEKTOR", pri čemu je korišćen drugačiji tip A/D konvertora, pa je zbog toga moralo doći i do izmene električne šeme, koja se odnosi na A/D konverziju.



slika 20.1 Električna šema merne kartice

### Spisak elemenata

$C_1=10 \mu F$	$R_1=390 \text{ E}$	IC1=ZN 428
$C_2=1 \mu F$	$R_2=8.2 \text{ K}$	IC2=74LS245
$C_3=0.47 \mu F$	$R_3=82 \text{ K}$	IC3=ZN 427
$C_4=0.47 \mu F$	$R_4=390 \text{ E}$	IC4=74121
$C_5=100 \text{ pF}$	$R_5=1 \text{ K}$	IC5=7905
$C_6=0.47 \mu F$	$R_6=330 \text{ E}$	IC6=7805
$C_7=10 \mu F / 16 \text{ V}$	$R_7=7.5 \text{ K}$	IC7=74LS13
$C_8=100 \text{ nF}$	$R_8=13 \text{ K}$	IC8=74LS377
$C_9=100 \text{ nF}$	$R_9=13 \text{ K}$	IC9=74LS541
$C_{10}=4.7 \mu F$	$R_{10}=3.3 \text{ K}$	IC10=74LS32
$C_{11}=10 \mu F / 16 \text{ V}$	$R_{11}=3.3 \text{ K}$	IC11=74LS32
$C_{12}=100 \text{ pF}$	$R_{12}=3.3 \text{ K}$	IC12=74LS04
$C_{13}=100 \text{ nF}$	$R_{13}=3.3 \text{ K}$	IC13=74LS85
$C_{14}=0.47 \mu F$	$R_{14}=3.3 \text{ K}$	IC14=74LS85
$C_{15}=3 \text{ nF}$	$R_{15}=3.3 \text{ K}$	IC15=74LS154
$C_{16}=0.47 \mu F$	$Rt1=5 \text{ K}$	
$C_{17}=0.47 \mu F$	$Rt2=5 \text{ K}$	
$C_{18}=0.47 \mu F$		
$C_{19}=0.47 \mu F$		

### 20.1. Adresiranje merne kartice

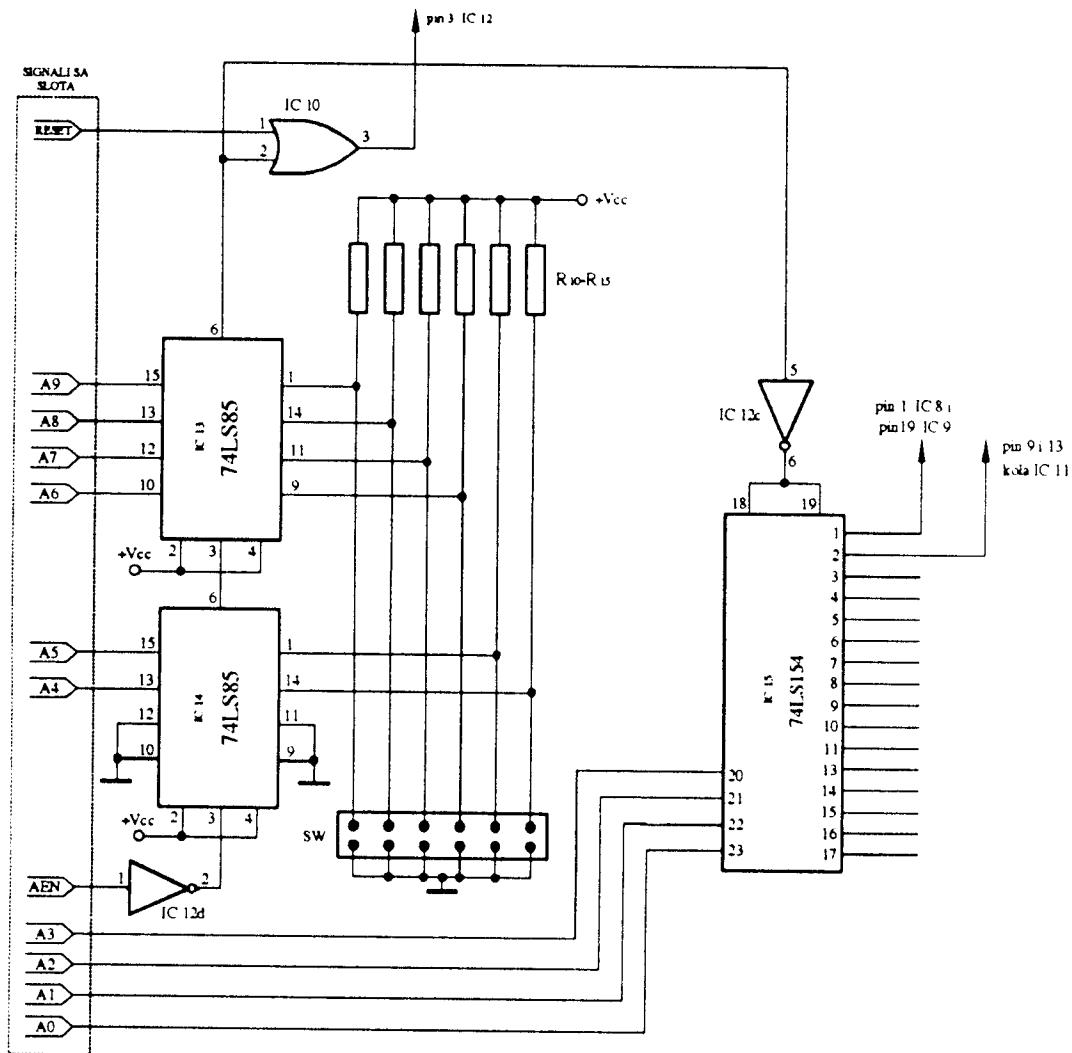
Adresa merne kartice se zadaje softverski u heksadecimalnom kodu, a zatim ga mikroprocesor konvertuje u NBCD kod i kao takvog ga postavlja na adresne linije A0-A9 slota. Pri adresiranju prototipske kartice koristi se samo 10 adresnih linija A0-A9.

U tabeli 20.1 prikazane su moguće adrese (ukupno 32) namenjene za prototipske kartice. Bit adrese A9 ima specijalno značenje u radu PC računara. Kada nije aktivan, ne mogu biti primljeni nikakvi podaci iz kartica koje se nalaze u slot-konektorima, a takodje, podaci na njih ne mogu biti ni poslati. Tada se mogu primati podaci koje šalju U/I uređaji smešteni na osnovnoj ploči.

tabela 20.1 Moguće adrese merne kartice

Heksadecimalna adresa	AEN	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
300	0	1	1	0	0	0	0	0	0	0	0
301	0	1	1	0	0	0	0	0	0	0	1
302	0	1	1	0	0	0	0	0	0	1	0
303	0	1	1	0	0	0	0	0	0	1	1
304	0	1	1	0	0	0	0	0	1	0	0
305	0	1	1	0	0	0	0	0	1	0	1
306	0	1	1	0	0	0	0	0	1	1	0
307	0	1	1	0	0	0	0	0	1	1	1
308	0	1	1	0	0	0	0	1	0	0	0
309	0	1	1	0	0	0	0	1	0	0	1
30A	0	1	1	0	0	0	0	1	0	1	0
30B	0	1	1	0	0	0	0	1	0	1	1
30C	0	1	1	0	0	0	0	1	1	0	0
30D	0	1	1	0	0	0	0	1	1	0	1
30E	0	1	1	0	0	0	0	1	1	1	0
30F	0	1	1	0	0	0	0	1	1	1	1
310	0	1	1	0	0	0	1	0	0	0	0
311	0	1	1	0	0	0	1	0	0	0	1
312	0	1	1	0	0	0	1	0	0	1	0
313	0	1	1	0	0	0	1	0	0	1	1
314	0	1	1	0	0	0	1	0	1	0	0
315	0	1	1	0	0	0	1	0	1	0	1
316	0	1	1	0	0	0	1	0	1	1	0
317	0	1	1	0	0	0	1	0	1	1	1
318	0	1	1	0	0	0	1	1	0	0	0
319	0	1	1	0	0	0	1	1	0	0	1
31A	0	1	1	0	0	0	1	1	0	1	0
31B	0	1	1	0	0	0	1	1	0	1	1
31C	0	1	1	0	0	0	1	1	1	0	0
31D	0	1	1	0	0	0	1	1	1	0	1
31E	0	1	1	0	0	0	1	1	1	1	0
31F	0	1	1	0	0	0	1	1	1	1	1

Dekodiranje adrese se vrši sa dva 4-bitna komparatora 74LS85 (IC13 i IC14) i 4-bitnim binarnim dekoderom/demultiplekserom 74LS154 (IC15) (slika 20.2). U dekoderu učestvuje i signal na liniji AEN, koji mora biti uključen u rad dekodera, kako bi se izbegli konflikti koji bi mogli nastati prilikom DMA ciklusa. 6 bitova najveće težine adrese je fiksno i određeno je položajima prekidača SW. Ako je pri tome i signal AEN na logičkoj nuli, na pinu 6 kola IC13 se postavlja log.1, čime se potvrđuje da je kartica na softverski zadatoj adresi i otvara se IC15. Preostala 4 bita najmanje težine adrese se vode na kolo IC15 gde se, u zavisnosti od kombinacije log.0 i log.1 tih 4 bita, aktivira jedan od izlaza dekodera/demultipleksera (izlaz aktiviran na log.0), čime se aktiviraju odgovarajuća kola sa kartice. U ovom projektu se koriste samo dve adrese: 0300H i 0301H.

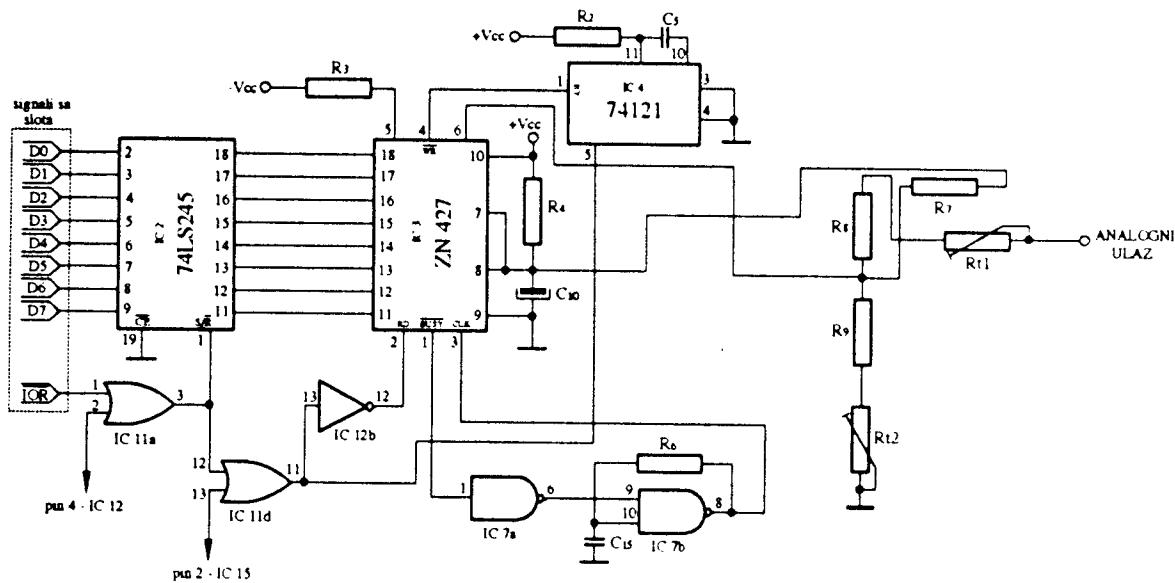


slika 20.2 Dekodiranje adrese

## 20.2. A/D konverzija

Ovde je korišćen 8-bitni A/D konvertor sa sukcesivnim aproksimacijama ZN 427 (IC3), koji ima trostatičke, baferovane izlaze i namenjen je za direktno priključenje na mikroprocesorske magistrale podataka (slika 20.3).

Sama konverzija se obavlja preko komparatorskog principa. Konverzija počinje generisanjem negativnog impulsa na WR ulazu pomoću monostabilnog multivibratora 74121 (IC4). Širina tog impulsa odredjena je otpornikom  $R_2$  i kondenzatorom  $C_5$ . Istovremeno je i signal BUSY na log.0.



slika 20.3 Analogno-digitalna konverzija

Ako je na adersnu magistralu postavljena adresa zadata prekidačima SW (slika 20.2), tada se preko IC10 i IC12a postavlja log.0 na pin 2 kola IC11. Time je omogućeno da izlaz kola IC11a prati promene signala na liniji IOR. Pri postavljanju adrese 0301H, na pinu 2 kola IC15 (slika 20.2) se postavlja log.0, čime se stvara mogućnost promene izlaza kola IC11d, kao i kola IC12b. Ako se pri tome signal na liniji IOR postavi na log.0, preko logičkih kapija se postavlja log.1 na pin 2 (RD-dozvola izlaza) kola IC3 i istovremeno se opadajućom ivicom impulsa na liniji IOR (koji traje oko 400 ns) okida monostabilni multivibrator. Na ovaj način je omogućeno da, kada nije aktiviran signal na liniji IOR, A/D konvertor vrši konverziju, a pri prelasku signala na liniji IOR na aktivani nivo da se izvrši isčitavanje registra A/D konvertora preko bafera (IC2) u računar. Neposredno pre isčitavanja podataka iz A/D konvertora, signal BUSY prelazi na nivo log.1.

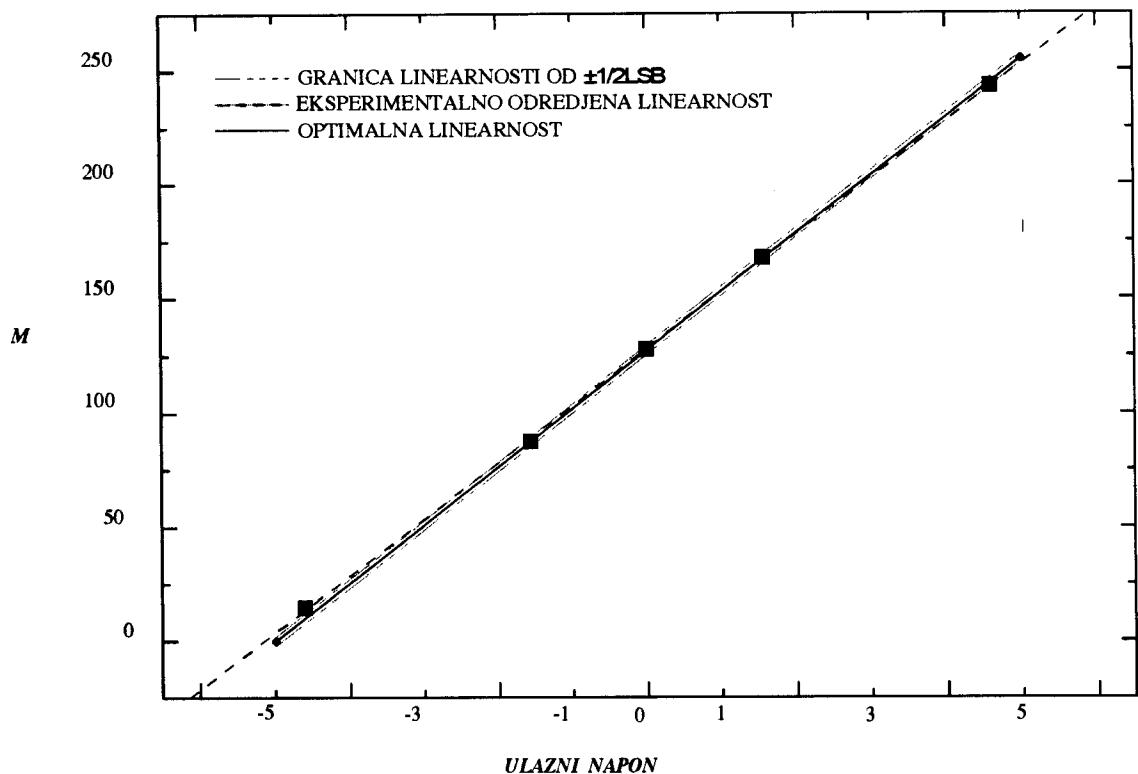
Klok impuls za A/D konvertor se može dobiti iz samog računara, a može i pomoću kola 74LS13 (IC7), koje se veže kao astabilni multivibrator. Kada je BUSY aktiviran, počinje rad astabilnog multivibratora. Na devetoj opadajućoj ivici klok impulsa

signal **BUSY** prelazi u stanje log.1, indicirajući da je konverzija završena. Time se prekida i rad astabilnog multivibratora.

Radna frekvencija klok impulsa je oko 800 KHz, a brzina konverzije je 10  $\mu$ s.

Na analogni ulaz A/D konvertora može da se dovede unipolarni napon od 0 do +5 V. Pri ovom opsegu se postiže rezolucija od 9.76 mV. Pomoću otpornika R7, R8 i R9 i trimer-potenciometara Rt1 i Rt2 izvršeno je pomeranje ulaza A/D konvertora za pun opseg, tako da je na ovaj način moguće na ulaz priključiti bipolarni napon od -5 V do +5 V, a samim tim je i rezolucija 19.5 mV.

Podešavanje A/D konvertora je izvršeno tako što je na ulaz doveden napon od -5 V i trimer-potenciometrom Rt1 je podešeno da se na monitoru računara pojavi nula pri isčitavanju A/D konvertora. Zatim je na ulaz doveden napon od +5 V i trimer-potenciometrom Rt2 je podešeno da se na monitoru pojavi broj 255. Tada se pri 0 V na ulazu, na monitoru mora pojaviti broj 128. Ovaj postupak treba ponoviti više puta i pri tome se mogu koristiti i druge vrednosti ulaznih napona iz predviđenog opsega. Rezultat ovakvog podešavanja je prikazan na slici 20.4.

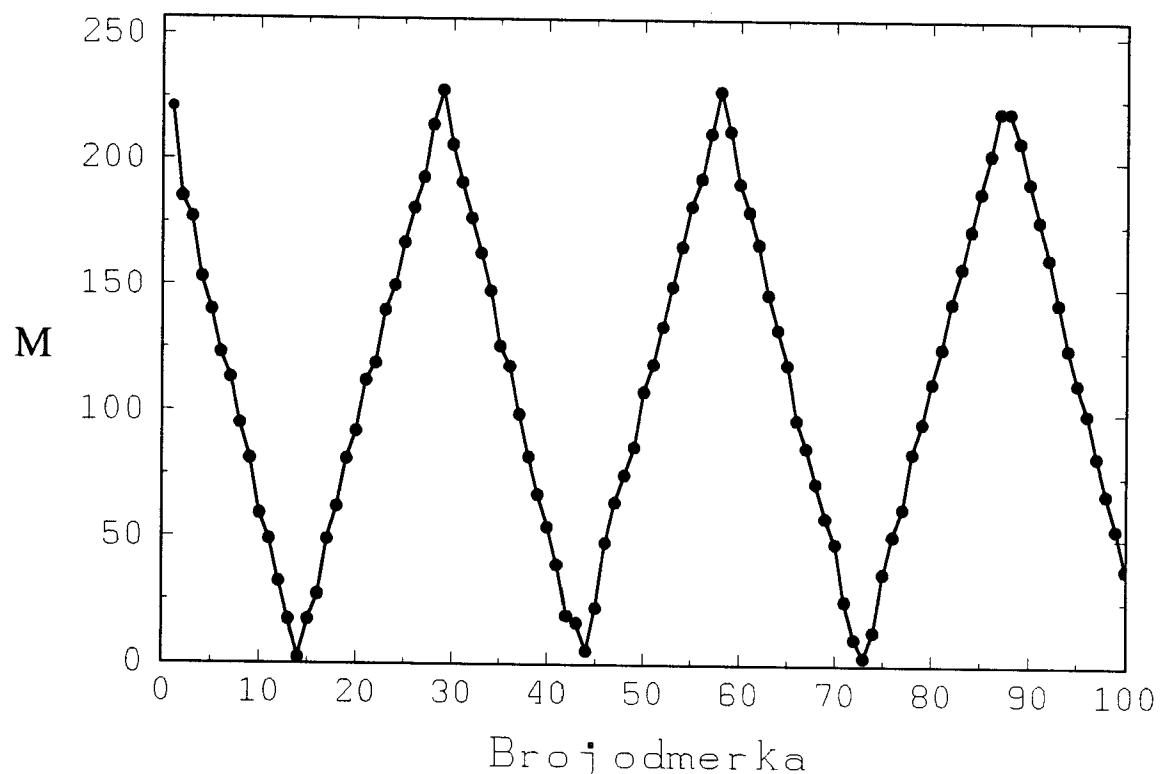


slika 20.4 Prenosna karakteristika A/D konvertora ZN 427

Sa slike 20.4 se vidi da je u intervalu ulaznog napona od -4 do +4 V linearost optimalne prave za upotrebljeni A/D konvertor u granicama  $\pm 1/2\text{LSB}$ , što znači da se za dati interval ulaznog napona može očekivati greška konverzije od  $\pm 1/2\text{LSB}$ . Smanjenje

ulaznog napona za napon ofseta i povećanjem pojačanja pojačavača može se postići poklapanje teorijske i eksperimentalne prave ( $M$  - vrednost odmerka izražen u decimalnim vrednostima kao  $2^n$ , gde je  $n$  broj bitova konvertora).

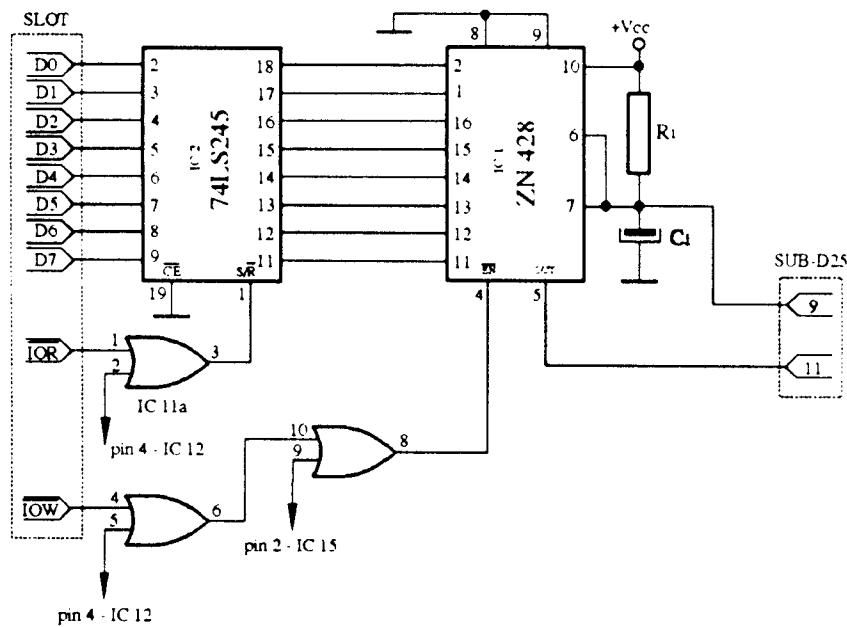
Na slici 20.5 prikazan je primer konverzije testerastog napona frekvencije 50Hz.



slika 20.5 Konverzija testerastog napona

### 20.3. D/A konverzija

Kao D/A konvertor koristi se kolo ZN 428 sa vremenom konverzije od 800 ns (slika 20.6). Izlazni napon D/A konvertora se kreće u granicama od 0 V do 2.56 V. Izlaz ZN 428 može da se optereti sa max.15 mA.

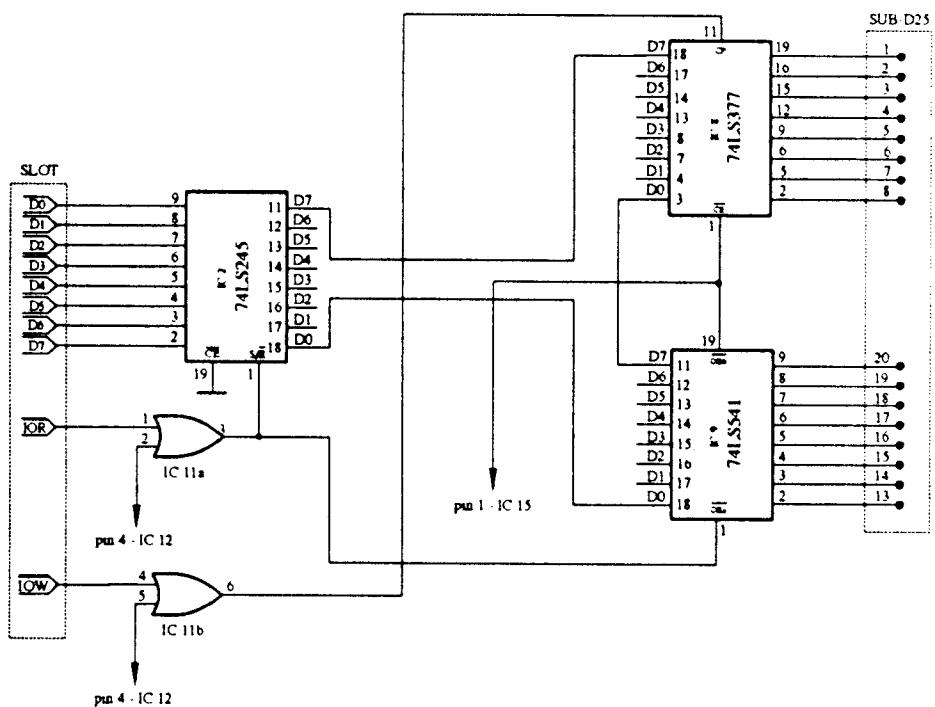


slika 20.6 Digitalno-analogna konverzija

IC1 ulazne podatke prima preko kola IC2 iz računara, a postavljen je na istu adresu (0301H) kao i A/D konvertor. Signal na liniji IOW prelazi na log.0, dok je IOR na log.1, tako da se istovremeno omogućuje preko kola IC2 transfer podataka na karticu i učitavanje podataka u IC1, koji preko pina 4 dobija signal (log.0) koji označava mogućnost učitavanja binarnog podatka (EN-dozvola ulaza). Konvertor radi sa otpornom mrežom R-2R. Pojačavački stepen, koji se priključuje na izlaz D/A konvertora, izведен je na posebnoj pločici, izvan kartice.

#### 20.4. I/O port

8-bitni binarno kodovani podaci se mogu učitavati preko kola 74LS541 (IC8), a izdavati preko kola 74LS377 (IC7) (slika 20.7). Komunikacija sa magistralom podataka se odvija preko bidirekcionih bafera (IC2). Kolo IC8 ima dva niskoaktivna upravljačka ulaza OEa i OEb, preko kojih se izlazi postavljaju u stanje visoke impedanse, ako je bar jedan od upravljačkih ulaza na visokom naponskom nivou. Ako je log.0 na oba ulaza, binarna kombinacija ulaznog podatka se prosledjuje na izlaz kola. Za izdavanje podataka koristi se oktalni D-flipflop 74LS377 (IC7), upravljan preko oba upravljačka ulaza CLK i EN. Jedna rastuća ivica impulsa na CLK ulazu puni svih 8 flipflopova i taj podatak prosledjuje na izlaz kola ukoliko je signal EN na niskom naponskom nivou. Ako je EN signal na visokom naponskom nivou, flipflopovi će se puniti, ali se izlazni podaci neće izmeniti. I/O port radi na adresi 0300H (pin 1 kola IC15 je na log.0).



slika 20.7 Šema ulazno-izlaznog porta

## 20.5. Pojačavački stepeni

Na slici 20.8 prikazan je pojačavač koji se priključuje na ulaz A/D konvertora. Pojačavač se sastoji iz 3 pojačavačka stepena.

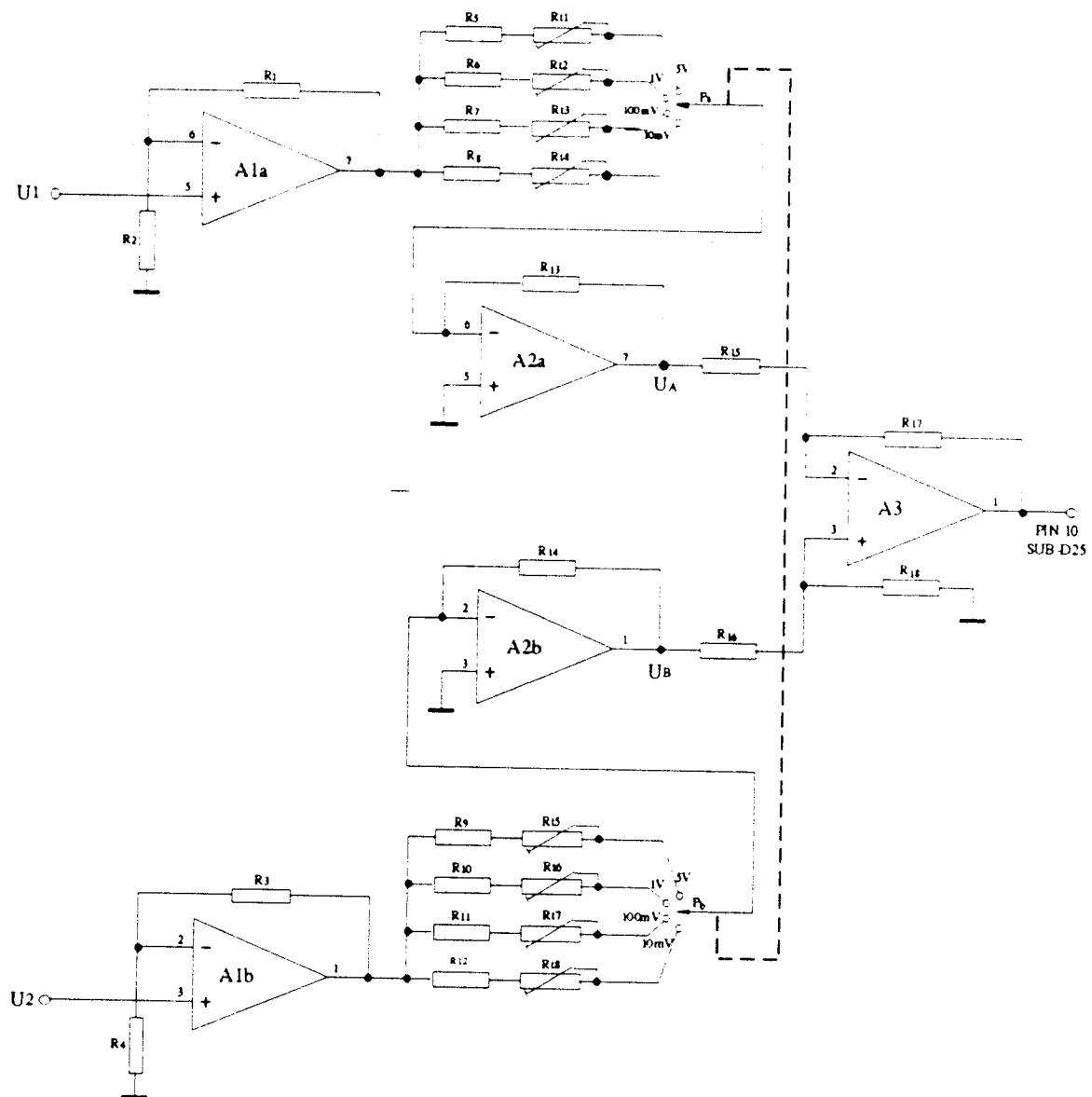
Prvi pojačavački stepen čine operacioni pojačavači A1a i A1b. Pošto je  $R_1 = R_3$  i  $R_2 = R_4$ , ta dva stepena imaju isto naponsko pojačanje:  $A_1 = 1 + R_1/R_2$ . Izborom otpornika naponsko pojačanje ovog stepena je:  $A_1 = 1.1$ .

Drugi pojačavački stepen čine operacioni pojačavači A2a i A2b i njihovo pojačanje je međusobno, takodje, jednako i iznosi:

$$A_{2n} = -R_{13}/R_n, \quad n = 5, 6, 7, 8$$

$$R_n = R_i + R_{t_m}, \quad m = 1, 2, 3, 4$$

$$R_{13} = 13K$$



slika 20.8 Električna šema ulaznog pojačavača

U tabeli 20.2 prikazane su vrednosti pojačanja pojačavačkih stepena A2a i A2b u zavisnosti od veličine ulaznog napona, kao i vrednosti otpornika za svaki pojedini opseg. Na izlazu A2a se dobija napon  $U_A$ , a na izlazu A2b se dobija napon  $U_B$ .

tabela 20.2

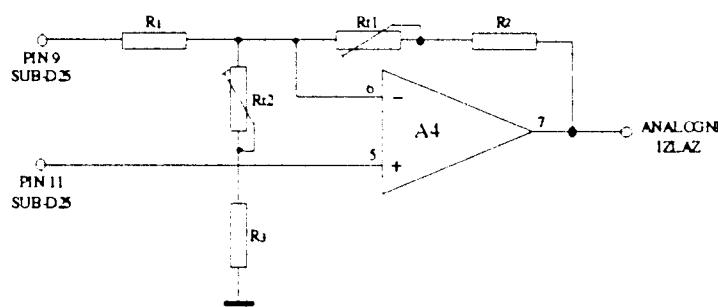
$U_1$	$A_{2n}$	$R_n$
5V	0.0909	143K
1V	0.4545	28.6K
100mV	4.545	2.86K
10mV	45.454	286E

Spisak elemenata:

$R_1 = R_3 = 16 \text{ K}$	$Tr_1 = Tr_5 = 50 \text{ K}$
$R_2 = R_4 = 160 \text{ K}$	$Tr_2 = Tr_6 = 5 \text{ K}$
$R_5 = R_9 = 130 \text{ K}$	$Tr_3 = Tr_7 = 500 \text{ E}$
$R_6 = R_{10} = 27 \text{ K}$	$Tr_4 = Tr_8 = 50 \text{ E}$
$R_7 = R_{11} = 2.7 \text{ K}$	$A1 = A2 = A3 = \text{TL072/TL082/NE5532}$
$R_8 = R_{12} = 270 \text{ E}$	
$R_{13} = R_{14} = 13 \text{ K}$	
$R_{15} = R_{17} = 1.3 \text{ K}$	
$R_{16} = R_{18} = 13 \text{ K}$	

Treći pojačavački stepen čini A3, koji je vezan kao diferencijalni pojačavač koji pojačava razliku napona  $U_A - U_B$ . Pomoću dvostrukog preklopnika Pa - Pb se bira opseg ulaznog napona, tako da izlazni napon ne izlazi iz opsega -5 V - +5 V.

Pojačavački stepen, koji se priključuju na izlaz D/A konvertora je načinjen sa operacionim pojačavačem A4 (slika 20.9).



slika 20.9 Električna šema izlaznog pojačavača

D/A konvertor ima unipolarni izlaz 0 - 2.56 V, pa je zato izvršeno pomeranje opsega samim pojačavačem, tako da se sada dobija izlazni napon od -5 V do +5 V. -5 V se podešava trimer-potenciometrom  $Rt_1$ , a +5 V pomoću  $Rt_2$ .

Spisak elemenata:

$R_1 = 7.5 \text{ K}$
$R_2 = R_3 = 13 \text{ K}$
$Tr_1 = Tr_2 = 5 \text{ K}$
$A3b = 1/2\text{TL082}, 1/2\text{TL072}, 1/2\text{NE5532}$

Svi operacioni pojačavači se napajaju simetričnim naponom  $\pm 9 \text{ V}$  preko stabilizatora 7809 / 7909.

## Zaključak

U ovom radu je prikazan projekt merne kartice, koja će se praktično primenjivati, prvenstveno, za merenje jednosmernih i niskofrekventnih naizmeničnih signala pomoću računara.

Primenjeni A/D konvertor ima zadovoljavajuću linearnost za interval ulaznog napona od -4 do +4 V, što je prikazano na slici 20.4. Na slici 20.5 je prikazan i jedan primer konverzije testerastog napona.

Merna kartica sadrži 8-bitni D/A i A/D konvertor i ulazno-izlazni port. Električna šema merne kartice je preuzeta iz časopisa "ELEKTOR", s tim što je promenjen deo koji se odnosi na A/D konverziju. Kartica se postavlja u slot-konektor računara. Celokupan projekat je izведен sa TTL kolima kako bi bio kompatibilan sa osnovnom pločom računara.

Unipolarni ulaz A/D konvertora (0 - +5 V) je prilagodjen bipolarnom naponu od -5 V do +5 V, koji se dovodi sa pojačavačkog stepena izvedenog na posebnoj ploči, izvan računara. Izlaz D/A konvertora je takođe priključen na pojačavački stepen sa kojeg se dobija bipolarni napon od -5 V do +5 V. Ovo je najjednostavnija modifikacija merne kartice. Na 8-bitnu magistralu podataka moguće je priključiti i 12-bitni A/D konvertor, kod kojeg postoji mogućnost isčitavanja prvo 4 bita najveće težine, a zatim preostalih 8 bita manje težine. Za ostale 12-bitne A/D konvertore uobičajeno je koristiti kolo 8255. Za 16-bitnu komunikaciju može se koristiti 16-bitna magistrala podataka. Sa električne šeme se vidi da preko kola IC15 postoji mogućnost upravljanja sa još 14 različitih kola (koja bi se nalazila na različitim adresama), koja se po potrebi mogu smestiti na mernu karticu.

## Literatura

1. Spasoje Tešić: "ELEKTRONIKA - Impulsna i digitalna kola", "Nauka", Beograd, 1992.
2. Dejan B. Živković, Miodrag V. Popović: "Impulsna i digitalna elektronika", "Nauka", Beograd, 1995.
3. Dragan M. Pantić, Janko S. Pešić: "Primena digitalnih integrisanih kola" "Print commerce", Beograd, 1990.
4. Jacob Millman, Arvin Grabel: "Micro electronics", 1985.
5. Vojin Cvekić: "ELEKTRONIKA II - Linearna elektronika", "Naučna knjiga", Beograd, 1987.
6. Spasoje Lj. Tešić, Dragan M. Vasiljević: "Osnovi elektronike"
7. Časlav Dinić: "PC/XT, AT arhitektura i periferije", "Tehnička knjiga", Beograd, 1992.
8. Mihajlo Tešević: "Hardware PC/XT", "Naučna knjiga", Beograd, 1990.
9. Časopis "Elektro" - maj, jun 1994.

## SPISAK OZNAKA

A - pojačanje pojačavača	MSB - (most significant bit) bit najveće težine
$A_{ud}$ - pojačanje diferencijalnog signala	
$A_{uc}$ - pojačanje zajedničkog signala	N - broj izlaza logičkog kola
B - osnova brojnog sistema	n - broj celih mesta u datom brojnom sistemu; broj bitova
BUSY - statusni signal A/D konvertora	OE - (output enable) signal za aktiviranje izlaza trostatičkog kola
$\beta$ - faktor strujnog pojačanja tranzistora	P - premašenje
C - cifra brojnog sistema; kapacitet; kontrolni signal	$P_0$ - impuls za odmeravanje
CE - (chip enable) signal omogućavanja	PDP - (power delay product) proizvod disipacije i vremena kašnjenja
CLK, CK - klok (taktni impuls)	PSRR - (power supply rejection ratio) faktor potiskivanja napona napajanja
CLR - signal za asinhrono resetovanje pomeračkog registra	Q - izlaz bistabilnog kola; stanje elektronskog prekidača
D - dioda	R, r - električna otpornost
DL - diferencijalna linearnost	$\Delta r$ - tolerancija otpornosti
$D_C$ - dozvoljeni odnos impuls/pauza	SAR - registar sukcesivnih aproksimacija
E - (enable) signal omogućavanja	SH - (sample-hold) prati-pamti
EOC - (end of conversion) signal kraja konverzije	SIN - (serial-in) serijski ulaz
F - učestanost; funkcija povratne sprege	SR - (slew rate) strmina operacionog pojačavača
$F_g$ - faktor grananja logičkog kola	S/R - (send/recieve) slanje/primanje
$F_P$ (CMRR) - faktor potiskivanja srednje vrednosti	SOUT - (serial-out) serijski izlaz
G, LK - logičko kolo	START - signal za početak konverzije
I - jačina jednosmerne struje; pomoćni ulaz digitalnog komparatora	T - perioda
i - jačina vremenski promenljive struje; pozicija cifre u datom broju	$T_H$ - vreme trajanja generisanog impulsa
K - komparator	$T_L$ - vreme povratka kola u stabilno stanje
k - faktor proporcionalnosti; klir-faktor	$T_0$ - pauza izmedju dva impulsa, perioda
L/S - (load/shift) kontrolni ulaz	$T_P$ - trajanje impulsa
LSB, $V_{LSB}$ - (least significant bit) bit najmanje težine	$t_{ADK}$ - vreme konverzije A/D konvertora
$\lambda$ - faktor ispune pravougaonog napona	$t_c$ - period ponavljanja taktnog impulsa
m - broj naponskih pragova	$t_d, t_{pd}$ - vreme kašnjenja
MS - (master-slave) (vrsta flipflopa)	$t_f$ - (fall time) vreme opadanja
	$t_{fr}$ - vreme oporavka

$t_K$ - srednje vreme kašnjenja	$V_H$ - visok naponski nivo; širina histerezisa
$t_{KNV}$ - uzlazno kašnjenje impulsa	$V_I, V_{IZ}, U_I$ - izlazni napon
$t_{KVN}$ - silazno kašnjenje impulsa	$V_{IH}$ - visok naponski nivo na izlazu kola
$t_r$ - (rise time) vreme uspostavljanja	$V_{IL}$ - nizak naponski nivo na izlazu kola
$t_s$ - vreme zasićenja	$\Delta V_I$ - razlika logičkih nivoa na izlazu kola
$t_{ST}$ - (settling time) vreme postavljanja	$V_K$ - kvantovan napon (signal)
$\tau$ - vremenska konstanta	$V_L$ - niski naponski nivo
$V_A$ - analogni napon (signal)	$V_M$ - amplituda impulsa
$V_{BB}$ - napon baterije	$V_{max}$ - maksimalni napon
$V_{BES}$ - napon baza-emiter tranzistora u zasićenju	$V_{MS(0)}, MS_0$ - margina smetnji za log.0
$V_{BET}, U_{BET}, V_{ut}$ - napon praga provodenja tranzistora	$V_{MS(1)}, MS_1$ - margina smetnji za log.1
$V_C$ - napon na kondenzatoru	$V_0$ - odmerci analognog signala
$V_{CES}$ - napon kolektor-emiter tranzistora u zasićenju	$V_{PP}$ - izlazni napon SH kola
$V_{CH}$ - centar histerezisa	$V_{PS}$ - napon pune skale
$V_D$ - napon diode; digitalni signal	$V_{REF}$ - referentni napon
$V_{DS}$ - napon drejn-sors	$V_T$ - napon pri kojem Šmitovo kolo menja stanje
	$V_U, V_{ul}$ - ulazni napon
	$\Delta V_u$ - promena logičkih nivoa na ulazu kola
	$V_{uts}$ - prag zasićenja tranzistora

**UNIVERZITET U NOVOM SADU  
PRIRODNO-MATEMATIČKI FAKULTET  
KLJUČNA DOKUMENTACIJSKA INFORMACIJA**

- |  |  |
|--|--|
| <ul style="list-style-type: none"><li>• Redni broj:<br/><b>RBR</b></li><li>• Identifikacioni broj:<br/><b>IBR</b></li><li>• Tip dokumentacije: <i>Monografska dokumentacija</i><br/><b>TD</b></li><li>• Tip zapisa: <i>Tekstualni štampani materijal</i><br/><b>TZ</b></li><li>• Vrsta rada: <i>Diplomski rad</i><br/><b>VR</b></li><li>• Autor: <i>Kaloci Djordje, br. dos. 282/89</i><br/><b>AU</b></li><li>• Mentor: <i>dr Miroslav Pavlov, redovni profesor, PMF Novi Sad</i><br/><b>MN</b><br/>Naslov rada: <i>8-bitni analogno-digitalni i 8-bitni digitalno-analogni konvertor</i><br/><b>NR</b></li><li>• Jezik publikacije: <i>srpski (latinica)</i><br/><b>JP</b></li><li>• Jezik izvoda: <i>srpski</i><br/><b>JI</b></li><li>• Zemlja publikovanja: <i>Jugoslavija</i><br/><b>ZP</b></li><li>• Uže geografsko područje: <i>Vojvodina</i><br/><b>UGP</b></li><li>• Godina: <i>1996.</i><br/><b>GO</b></li><li>• Izdavač: <i>Autorski reprint</i><br/><b>IZ</b></li><li>• Mesto i adresa: <i>Prirodno-matematički fakultet, Trg Dositeja Obradovića 4, 21000 Novi Sad</i><br/><b>MA</b></li><li>• Fizički opis rada: <i>(20/108/9/25/80/2/0)</i><br/><b>FO</b></li><li>• Naučna oblast: <i>Fizika</i><br/><b>NO</b></li><li>• Naučna disciplina: <i>Industrijska elektronika</i><br/><b>ND</b></li><li>• Predmetna odrednica / Ključne reči:<br/><i>Digitalna kola, A/D i D/A konvertori</i><br/><b>PO</b></li><li>• UDK:</li><li>• Čuva se: <i>Biblioteka Instituta za fiziku, Prirodno-matematički fakultet, Novi Sad</i></li></ul> | <p style="text-align: center;"><b>ČU</b></p> <ul style="list-style-type: none"><li>• Važna napomena: <i>nema</i><br/><b>VN</b></li><li>• Izvod: <i>U radu je prikazan projekat merne kartice koja sadrži A/D i D/A konvertor i ulazno-izlazni port. Kartica je namenjena za primenu na PC računarima i to za merenje jednosmernih i niskofrekventnih naizmeničnih napona pomoću računara.</i><br/><b>IZ</b></li><li>• Datum prihvatanja teme od strane Veća:<br/><b>11.06.1996.</b><br/><b>DP</b></li><li>• Datum odbrane: <b>15.07.1996.</b><br/><b>DO</b></li><li>• Članovi komisije:<br/><i>Predsednik:</i><br/><i>dr Stevica Djurović, vanredni profesor, PMF Novi Sad</i><br/><i>Član:</i><br/><i>dr Jaroslav Slivka, vanredni profesor, PMF Novi Sad</i><br/><b>KO</b></li></ul> |
|--|--|

## UOČENE GREŠKE U TEKSTU

- strana 3; red 41 i 43: umesto **njma** treba da stoji **njima**
- strana 17; red 3: umesto  $V_{CES3} = 0.1 \text{ V}$  treba da stoji  $V_{CES6} = 0.1 \text{ V}$   
i umesto  $T_4$  treba da stoji  $T_5$
- strana 17; red 5, 8, 9: umesto  $R_4$  treba da stoji  $R_7$
- strana 18; red 4: umesto  $T_1$  treba da stoji  $T_5$
- strana 28; red 20: umesto neinvertirajućim treba da stoji neinvertujućim
- strana 29; red 2: umesto neinventirajući treba da stoji neinvertujući
- strana 54-58: umesto D/A kovertor treba da stoji D/A konvertor
- strana 70; red 18: umesto koparatori treba da stoji komparatori
- strana 72; red 7: umesto sukcesionih treba da stoji sukcesivnih
- strana 88; red 4: umesto poremećaj treba da stoji poremećaj
- strana 104; red 23: umesto A3b treba da stoji A4

